

THV3056

3ch Buck/Boost 2ch CP 1ch HVLDO 1ch LVLDO コントローラ

概要

THV3056 (3ch Buck/Boost コントローラ) を使用することにより、多チャンネル電源システムを簡易かつ低価格で構成可能です。

ch-1, ch-2 および ch-3 は PWM 制御方式で ch-1 は boost、ch-2 および ch-3 は Buck となります。また ch-2 は基準電圧が 0.85V なので 1.2V の 2 次電圧を作成可能です。

VGH および VGL は正負のチャージポンプまたは PFM コントローラの選択が可能です。

また高耐圧 LDO、Vcom 用アンプにより大型 TFT パネルに必要な各種電圧を生成可能です。

セラミックコンデンサを出力コンデンサとして使用した場合でも位相補償が容易です。

SS1,2,3, SS_SW, DTC1,2,3, DTC_VGH,DTC_VGL と SCP ピンを用いることにより、ソフトスタート時間やデッドタイム、タイマーラッチのディレイ時間を任意に設定可能です。SEL1 ピンにより 2 種類の立ち上がりシーケンスの選択が可能です。

TFT LCD Bias 電源のシステムの構築に最適です。

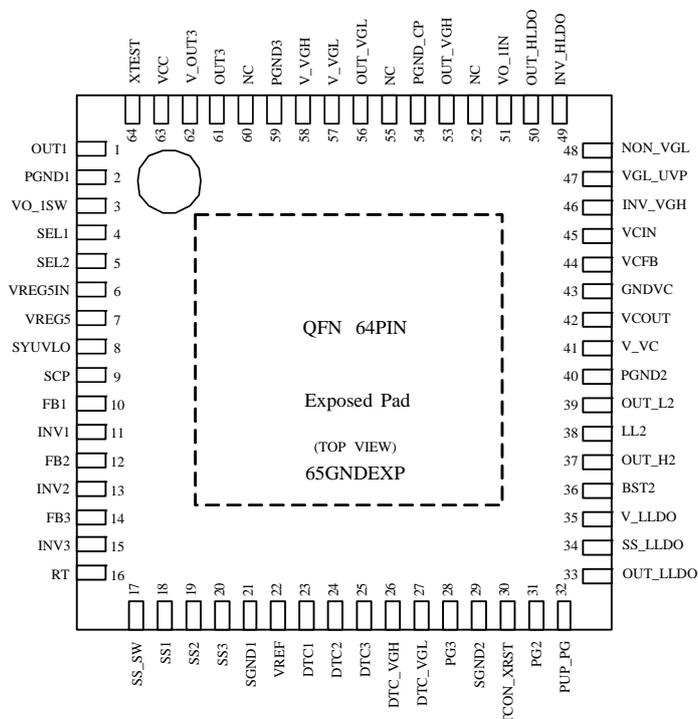
特長

- 64PinQFN
- 入力電圧範囲 : 4.2 ~ 15.0V
- 大容量パワーMOSFETを直接駆動可能なプッシュプル出力
- セラミックコンデンサ対応 (出力平滑用)
- PWM コントローラ
- 正負チャージポンプ (PFM モード選択可)
- 1MHz までの可変スイッチング 周波数
- タイマーラッチ保護機能
- システム UVLO 機能
- ソフトスタート時間の設定が可能
- タイマーラッチのディレイ時間の設定が可能
- デッドタイムの設定が可能
- ch-1 Boost
- ch-2 Buck (基準電圧は 0.85V)
- ch-3 Buck
- 高耐圧 LDO
- 3.3V 出力 LDO
- Vcom 用アンプ

アプリケーション

- TFT LCD Bias 電源

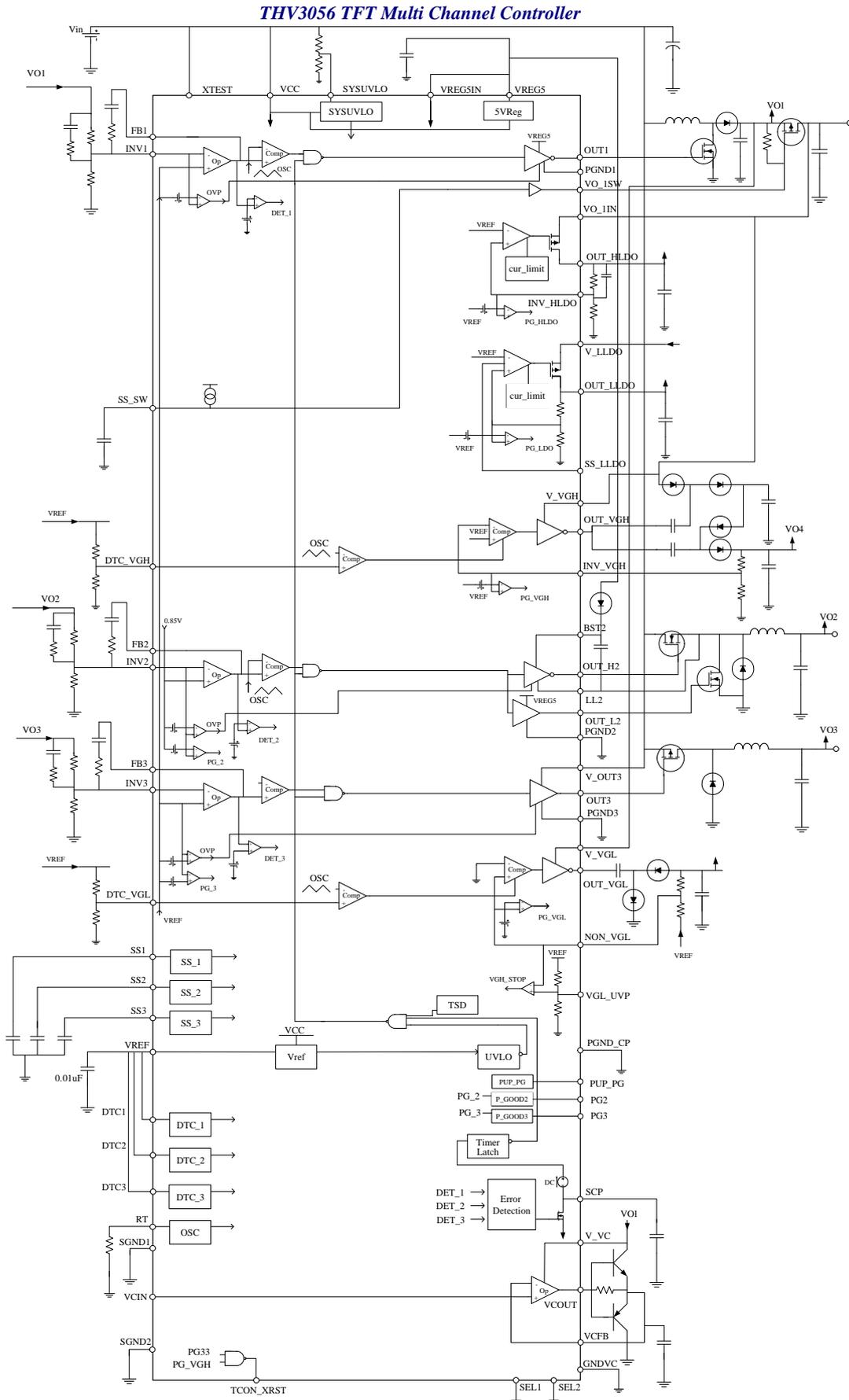
ピン配列



出力 ch 説明

出力 ch	説明
CH-1	PWM 方式昇圧 ch
CH-2	PWM 方式降圧 ch(NMOS トランジスタ同期整流 /Diode 整流対応)
CH-3	PWM 方式降圧 ch
VGH	正出力チャージポンプ PFM モードも選択可
HVLDO	高耐圧 LDO. 入力電圧範囲 : 6V ~ 17V
VGL	負出力チャージポンプ. PFM モードも選択可
LVLDO	3.3V 出力 LDO. 入力電圧範囲 : 4.2V ~ 5.5V
VO_1SW	外付けロードスイッチ用のコントロール出力 SS_SW の外付け C により負荷 SW をソフトクローズ
VCOM 用アンプ	出力電圧範囲 :1 ~ V _{VC} -1V

ブロック図



端子機能の説明

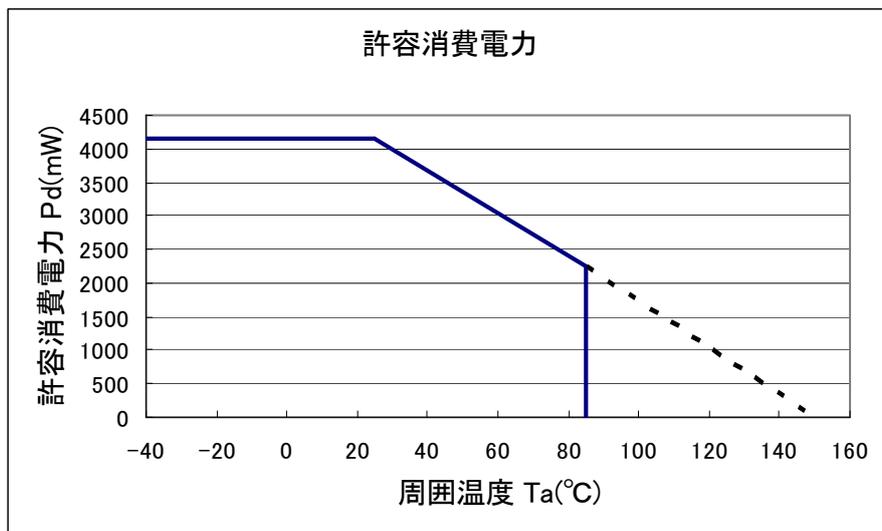
ピン番号	端子名	機能	機能説明
10 12 14	FB1 FB2 FB3	ch-1, ch-2, ch-3 エラーアンプ出力	ch-1, ch-2, ch-3 のエラーアンプの出力端子。INV1, INV2, INV3 との間に R と C を接続することにより位相補償を行います。
11 13 15	INV1 INV2 INV3	ch-1, ch-2, ch-3 エラーアンプ反転入力	ch-1, ch-2, ch-3 のエラーアンプの反転入力端子。通常動作時の端子電圧は INV1, INV3 が 1.2V、INV2 が 0.85V です。
18 19 20	SS1 SS2 SS3	ch-1, ch-2, ch-3 ソフトスタート	ch-1, ch-2, ch-3 のソフトスタート端子。パワー On 時の電圧は Gnd レベル。パワー On 後ソフトスタート開始。パワー On 後のシステム UVLO 解除後、この端子より 1uA の定電流が流れ出し、外部のコンデンサの充電を開始します。コンデンサの容量を変えることにより、ソフトスタート時間の調整が可能です。この端子を外部のオープンドレインタイプのポート又は PG 端子に接続して Gnd レベルにプルダウンすることで On/Off コントロールが可能です。
23 24 25	DTC1 DTC2 DTC3	ch-1, ch-2, ch-3 デッドタイムコントロール	ch-1, ch-2, ch-3 の Max Duty 設定用端子。詳細は機能説明の DTC 回路の項を参照して下さい。
17	SS_SW	ch-1 外付けスイッチソフトスタート	ch-1 外付け PMOS スwitchのソフトスタート用端子。パワー On 時の電圧は Gnd レベル。パワー On 後のシステム UVLO 解除後、この端子より 1uA の定電流が流れ出し、外部のコンデンサの充電を開始します。コンデンサの容量を変えることにより、VO_1SW につながる PMOS トランジスタのソフトスタート時間の調整が可能です。この端子を外部のオープンドレインタイプのポート又は PG 端子に接続して Gnd レベルにプルダウンすることで On/Off コントロールが可能です。
46	INV_VGH	VGH コンパレータ反転入力	VGH のコンパレータの反転入力端子。 正常に動作している場合、この端子電圧は 1.2V です。
48	NON_VGL	VGL コンパレータ非反転入力	VGL のコンパレータの非反転入力端子。 正常に動作している場合、この端子電圧は 0V です。
26 27	DTC_VGH DTC_VGL	VGH (チャージポンプ+) コントロール VGL (チャージポンプ-) コントロール	VGH, VGL チャージポンプコントロール端子。High 入力にて On、Low 入力にて Off となります。 チャージポンプ時は 50% に設定。スイッチング電源の場合、DTC として動作します。 詳細は機能説明の DTC 回路の項を参照して下さい。
22	VREF	基準電圧	1.2V の基準電圧。安定化のため、外部にコンデンサ (0.01uF) を接続して下さい。最大負荷電流は 1mA です。
4	SEL1	立ち上がりシーケンス選択	SEL1 端子を GND または VREG5 端子に接続することにより、2 種類の立ち上がりシーケンスを選択可能です。詳細は機能説明の起動シーケンス設定の項を参照して下さい。
5	SEL2	チャージポンプ UVP タイマーラッチ On/Off コントロール	SEL2 端子によりチャージポンプの UVP 検出タイマーラッチの On/Off コントロールが可能です。詳細は機能説明の短絡保護回路 (SCP タイマー回路) の項を参照して下さい。
41	V_VC	Vcom 出力用電圧源	Vcom の出力用電圧源。
47	VGL_UVP	VGL の UVP 電圧設定	外付け抵抗により任意の UVP 電圧を設定します。外付け抵抗を接続しない場合は UVP 電圧は基準電圧の 50% になります。

ピン番号	端子名	機能	機能説明
62	V_OUT3	OUT3 出力用電圧源	OUT3 の出力用電圧源。
64	XTEST	テストモード選択	通常使用時は VCC に接続して下さい。
16	RT	発振器タイミング抵抗接続端子	発振周波数設定用抵抗接続端子。詳細は機能説明の発振回路の項を参照して下さい。
21 29	SGND1 SGND2	シグナルグラウンド	コントロール部のグラウンド。
45	VCIN	Vcom 用アンプ 非反転入力	Vcom 用アンプ非反転入力端子。
43	GNDVC	Vcom 用アンプ パワーグラウンド	Vcom 用アンプ パワーグラウンド。
44	VCFB	Vcom 用アンプ反転入力	Vcom 用アンプ反転入力端子。
42	VCOUT	Vcom 用アンプ出力	Vcom 用アンプ出力端子。外付けにバイポーラトランジスタを接続することにより、大出力電流に対応します。
9	SCP	タイマーラッチ短絡保護	出力短絡、過電圧、温度上昇などによる異常を検知してから IC をシャットダウンするまでのタイマーラッチ回路の遅延時間を設定するための端子。 詳細は機能説明の SCP タイマー回路の項を参照して下さい。
31 28	PG2 PG3	パワーグッド出力	オープンドレイン出力端子。外部に 100 k Ω 程度のプルアップ抵抗を接続します。ソフトスタート開始後、ch-2 の SS 電圧が 1V に達した場合、また ch-3 の出力電圧が 1.35V に達すると出力が High となり、ch が立ち上がったことを知らせます。ソフトスタートが異常なく終了した場合、High 出力に固定されます。プルアップ抵抗は VREG5 より高い電圧には接続しないように注意して下さい。
32	PUP_PG	パワーグッド抵抗接続端子	パワーグッド端子が外部コントロール端子に接続され、かつ 5V 電源で VCC 端子と VREG5 端子を短絡して使用する場合、パワーグッド端子に接続される抵抗の端子は必ずこの PUP_PG にプルアップして下さい。
2 40 54 59	PGND1 PGND2 PGND_CP PGND3	パワーグラウンド	パワー系の電源グラウンド。
56	OUT_VGL	VGL (チャージポンプ-) 出力	VGL の負電圧チャージポンプドライバ出力端子。V_VGL を入力電源として動作します。PFM モード時は PMOS 用ゲートドライバとして使用可能です。

ピン番号	端子名	機能	機能説明
37	OUT_H2	ch-2 High 側ドライバ出力	ch-2 の同期整流用 High 側 NMOS トランジスタを駆動するための端子。
36	BST2	ch-2 High 側 コンデンサ接続端子	ch-2 の High 側ドライバ出力用電源端子。
53	OUT_VGH	VGH (チャージポンプ+) 出力	VGH の正電圧チャージポンプ出力端子。外部素子を駆動するための端子 (プッシュプル構成)。V_VGH を電源とします。PFM モード時は NMOS 用ゲートドライバとして使用可能です。
57	V_VGL	VGL 出力用電圧源	VGL の出力用電圧源。
58	V_VGH	VGH 出力用電圧源	VGH の出力用電圧源。
49	INV_HLDO	HVLDO アンプ反転入力	HLDO のアンプの反転入力端子。 正常に動作している場合、この端子電圧は 1.2V です。
50	OUT_HLDO	HVLDO 出力	HVLDO 出力端子。外部にコンデンサ (Typ:2.2uF) を接続して下さい。
51	VO_1IN	HVLDO 電圧源	HVLDO の電圧源。
34	SS_LLDO	LVLDO ソフトスタート	LVLDO のソフトスタート端子。
33	OUT_LLDO	LVLDO 出力	LVLDO 出力端子。外部にコンデンサ (Typ:10uF) を接続して下さい。
35	V_LLDO	LV LDO 電圧源	LVLDO の電圧源。
3	VO_1SW	ch-1 スイッチ コントロール出力	ch-1 外付けスイッチ用ゲートコントロール端子。SS_SW の電圧に対応します。
1	OUT1	ch-1 出力	ch-1 の Boost 用外部素子を駆動するための端子。0 ~ 5V 出力。
6	VREG5IN	制御部用電圧源	VREG5 端子に接続して使用します。
7	VREG5	5V レギュレータ出力	5V レギュレータ出力端子。低電圧出力用電源。 外部にコンデンサ (Typ:4.7uF) を接続して下さい。
8	SYSUVLO	電源電圧低下検出入力	電源電圧が規定の電圧以下に低下した場合に IC の動作を停止する機能です。V _{in} を抵抗分圧した電圧を印加します。抵抗値を変更することにより、動作下限電圧を任意の電圧に設定可能です。SYSUVLO 機能を使用しないときは、VREF 端子、もしくは VREG5 端子に接続します。
63	VCC	電源	制御部電源。
39	OUT_L2	ch-2 Low 側ドライバ出力	ch-2 の同期整流用 Low 側 Nch トランジスタを駆動するための端子 (5V 出力)。Low 側 Nch トランジスタを使用しない場合も動作可能です。この場合 ch-2 の負荷電流は 10mA 以上にしてください。
38	LL2	ch-2 インダクタノード接 続端子	ch-2 のインダクタノード接続端子。
61	OUT3	ch-3 出力	ch-3 の Buck 用外部素子を駆動するための端子 (プッシュプル構成)。出力電圧は 0 ~ V_OUT3 (V) です。
52 55 60	NC	NC ピン	ノーコネクション (オープンとして下さい。)
65	GNDEXP	裏面パッド	熱特性改善のため必ず GND と接続して使用します。

絶対最大定格

項目	記号	定格値	単位
電源電圧	Vcc	18	V
INV1,2,3 INV_VGH,INV_VGL FB1,2,3 NON_VGL DTC1,2,3 DTC_VGH,DTC_VGL SS1,2,3 SS_SW PG2,3 SYSUVLO SCP SEL1,2 VREG5IN VGL_UVP	VL_in1	6.5	V
BST2-LL2 間 , OUT_H2-LL2 間	VL_in2	6.5	V
XTEST	VH_in1	18	V
VCIN, VCFB	VH_in2	20	V
OUT1, VREF, RT, OUT_L2, VREG5, PUP_PG, TCON_XRST	VL_out	6.5	V
VCOUT, OUT_HLDO, OUT_VGL, OUT_VGH, VO_1SW	VH_out1	20	V
LL2, OUT3	VH_out2	18	V
V_VGL, V_VGH, V_OUT3, V_VC	VH_cc	20	V
BST2, OUT_H2	VH_out3	24	V
出力電流 OUT1, OUT_L2, OUT_H2, OUT3, OUT_VGH, OUT_VGL	Iomax	1	A
出力電流 OUT_HLDO	Iomax2	80	mA
許容消費電力	Pd	4125 (Ta<25℃)	mW
ジャンクション温度	Tj	150	℃
動作温度範囲	Ta	-40 ~ +85	℃
保存温度範囲	Tstg	-55 ~ +150	℃
はんだ耐熱条件	Tlead	255 / +5 / -0 / 10sec	℃



推奨動作条件

項目	Min	Typ	Max	単位
VCC 電圧 (電源電圧)	4.2		15	V
VREG5, VREG5IN 電圧	4.2		5.5	V
LL2, V_OUT3 電圧	4.2		17	V
V_VGH, V_VGL 電圧	4.2		17	V
VO_1IN, V_VC 電圧	5.5		17	V
V_LLDO	4.2		5.5	V
BST2, OUT_H2 電圧	-0.1		20	V
OUT3 電圧	-0.1		17	V
VO1_SW, VCFB, VCOOUT, VCIN, OUT_HLDO, OUT_VGH, OUT_VGL 電圧	-0.1		17	V
OUT1, SYSUVLO, INV1,2,3, INV_VGH, INV_HLDO, DTC1,2,3, DTC_VGH, DTC_VGL, PG2,3 OUT_L2, VREG5, PUP_PG, VGL_UVP, SEL1,2 電圧	-0.1		5.5	V
FB1,2,3, SS1,2,3, SS_LLDO, VREF, RT 電圧	-0.1		3	V
OUT_LLDO, TCON_XRST 電圧		3.3		V
VREF ピン接続外部コンデンサ容量		0.01		uF
VREG5 ピン接続外部コンデンサ容量	2.2	4.7		uF
OUT_HLDO ピン接続外部コンデンサ容量	1	2.2		uF
OUT_HLDO 出力電流		10		mA
OUT_LLDO ピン接続外部コンデンサ容量		10		uF
OUT_LLDO 出力電流			300	mA
発振周波数	200		1000	kHz
X_TEST 電圧		VCC		V

電氣的特性 (特に明記がない限り、 $V_{cc} = 12V$, $RT = 47k\Omega$, $T_a = 25^\circ C$)

項目	記号	条件	Min	Typ	Max	単位
基準電圧部						
基準電圧	Vref	Cvref = 0.01uF	1.188	1.2	1.212	V
基準電圧 (ch2)	Vref(ch2)	Vref \times 0.85/1.2	0.841	0.85	0.859	%
温度係数	Vref(tc)	Iref = -100uA, Ta = -40 ~ 85 °C		\pm 0.5		%
ラインレギュレーション	Vref(line)	Iref = -100uA, Vcc = 4.2 ~ 15V		2	5	mV
ロードレギュレーション	Vref(load)	Iref = -100uA ~ -1mA		2	5	mV
発振回路部						
発振周波数	Fosc	RT = 47k Ω	460	500	540	kHz
温度係数	Fosc(tc)	Ta = -40 ~ +85 °C		\pm 5		%
DTC 回路部						
Max オンデューティ (ch-1,3)	Dmax (ch-1,3)			89		%
Max オンデューティ (ch-2)	Dmax(ch-2)			85		%
Max オンデューティ (VGH)	Dmax (VGH)			93		%
Max オンデューティ (VGL)	Dmax (VGL)			87		%
エラーアンプ部						
オフセット電圧	Vio1, Vio3	VREF 電圧基準	-10		10	mV
	Vio2	バッファ接続 VREF \times 0.85/1.2 を基準				
開ループ利得	Vav			70		dB
単一利得帯域幅	Bw			1.5		MHz
出力シンク電流	Isnk	Vfb = 1.0V	40	100		uA
出力ソース電流	Isrc	Vfb = 1.0V	1	3		mA
SS オフセット電圧	Vsso			0.2		V
チャージポンプ部						
スレッシュホールド電圧 (VGH)	Vthc(VGH)			1.2		V
スレッシュホールド電圧 (VGL)	Vthc(VGL)			0		V
オフセット電圧 (VGH, VGL)	Vioc (VGH, VGL)		-20		20	mV

項目	記号	条件	Min	Typ	Max	単位
高耐圧 LDO 部						
オフセット電圧	Vhvldo(off)	Ildo = -1mA	-20		20	mV
ロードレギュレーション	Vhvldo(load)	VO_1IN=16V, OUT_HLDO=15V Ildo=-0.1m ~ -2mA		15	40	mV
H 側出力電圧範囲	Vhldo(hrange)	Ildo = -10mA	VO_1IN -0.5	VO_1IN -0.2		V
L 側出力電圧範囲	Vhldo(lrange)	Ildo = -10mA	5.5			V
ドロップアウト電圧	Vdrop(hldo)	Ildo = -10mA, VO_1IN = 16V, INV_HLDO = 0V		0.18	0.35	V
低耐圧 LDO 部						
出力電圧	Vout(Ildo)	Iout_ildo = 200mA	3.2	3.3	3.4	V
ロードレギュレーション	Vlldo(load)	1mA < Iout_ildo < 300mA		33		mV
ラインレギュレーション	Vlldo(line)	4.2V < V_LLDO < 5.5V Iout_ildo = 200mA		10		mV
ドロップアウト電圧	Vdrop(Ildo)	V_LLDOpin Iout_ildo = 200mA Vout = 3.2V		3.3		V
Vcom 用アンプ部						
オフセット電圧	Vvcom(off)	VO_1IN = 15V, VCIN = 5V	-10		10	mV
ロードレギュレーション	Vvcom(load)	I _o = 0 ~ +/-5mA	-50		50	mV
ラインレギュレーション	Vvcom(line)	VO_1IN = 6V ~ 17V		2	10	mV
同相入力電圧範囲	Vvcom(range)	R _L = 10kΩ	1		VO_1IN -2	V
出力ソース最大負荷電流	Ivcomh(max)		30	70		mA
出力シンク最大負荷電流	Ivcoml(max)		30	70		mA
入力バイアス電流	I _{ib} (vcom)			0.5	2.5	uA
5V レギュレータ部						
出力電圧	Vreg5(range)	I _o = -1mA		5.0		V
ロードレギュレーション	Vreg5(load)	I _o = -0.1mA ~ -5mA			100	mV
ラインレギュレーション	Vreg5(line)	I _o = -1mA, VCC = 5.5V ~ 15V			20	mV
ソフトスタート部						
SS1,2,3 充電電流	I _{ss}	V _{ss} = 0.5V	0.6	1.0	1.4	uA
SS_SW 充電電流 2	I _{sssw}	V _{ss_sw} = 0.5V		1		uA
SS_LLDO 充電電流	I _{sslldo}	V _{ss_lldo} = 0.5V		1		uA

項目	記号	条件	Min	Typ	Max	単位
スイッチコントロール部						
ロードスイッチ出力電圧	Vo(vo_1in)	V _{ss_sw} = 1.2V, V _{VGL} = 18V		15		V
VO_1SW 出力抵抗	Ro(vo_1sw)	I _o = 1mA, SS_SW = 2.5V		1.2		kΩ
パワーグッド部						
出力抵抗	R _{opg}	PG = Low 出力時, I _o = 1mA		0.9	1.6	kΩ
PUP_PG 出力抵抗	R _{pup_pg}	I _o = -1mA		0.4		kΩ
SS2 スレッシュホールド電圧	V _{pgss2}			1		V
SS3 スレッシュホールド電圧	V _{pgss3}			1.35		V
INV_VGH, INV_HLDO スレッシュホールド電圧	V _{pg_vgh,hldo}			1.02		V
NON_VGL スレッシュホールド電圧	V _{pg_vgl}			0.18		V
OUT_LLDO スレッシュホールド電圧	V _{pg_lldo}	OUT_LLDO pin		2.64		V
VGL_UVP 部						
VGL_UVP スレッシュホールド電圧	V _{uvp_vgl}			0.6		V
VGL_UVP ピン入力抵抗	R _{i(vgl_uvp)}			500		kΩ
出力部						
OUT1 出力Hレベル出力抵抗	R _{oh(ch-1)}	I _{oh} = -50mA		17		Ω
OUT1 出力Lレベル出力抵抗	R _{ol(ch-1)}	I _{ol} = 50mA		11		Ω
OUT_H2 出力Hレベル出力抵抗	R _{oh(ch-2h)}	I _{oh} = -50mA		17		Ω
OUT_H2 出力Lレベル出力抵抗	R _{ol(ch-2h)}	I _{ol} = 50mA		13		Ω
OUT_L2 出力Hレベル出力抵抗	R _{oh(ch-2l)}	I _{oh} = -50mA		17		Ω
OUT_L2 出力Lレベル出力抵抗	R _{ol(ch-2l)}	I _{ol} = 50mA		6		Ω
OUT_3 出力Hレベル出力抵抗	R _{oh(ch-3)}	I _{oh} = -50mA		13		Ω
OUT_3 出力Lレベル出力抵抗	R _{ol(ch-3)}	I _{ol} = 50mA		7		Ω
OUT_VGH出力Hレベル出力抵抗	R _{oh(vgh)}	V _{VGH} = 15V, I _{oh} = -50mA		10		Ω
OUT_VGH出力Lレベル出力抵抗	R _{ol(vgh)}	V _{VGH} = 15V, I _{ol} = 50mA		9		Ω
OUT_VGL出力Hレベル出力抵抗	R _{oh(vgl)}	V _{VGL} = 15V, I _{oh} = -50mA		26		Ω
OUT_VGL出力Lレベル出力抵抗	R _{ol(vgl)}	V _{VGL} = 15V, I _{ol} = 50mA		16		Ω
TCONXRST 出力Hレベル出力抵抗	R _{oh(xrst)}	OUT_LLDO = 3.3V, I _{ol} = -50mA		14		Ω
TCONXRST出力Lレベル出力抵抗	R _{ol(xrst)}	OUT_LLDO = 3.3V, I _{ol} = 50mA		24		Ω

項目	記号	条件	Min	Typ	Max	単位
過電圧保護回路部						
スレッシュヨルド電圧 (ch-1, ch-3)	Vovp (ch-1,ch-3)	INV1,3pin		1.5		V
スレッシュヨルド電圧 (ch-2)	Vovp(ch-2)	INV2pin		1.063		V
UVLO 部						
オンスレッシュヨルド電圧(VCC)	Vuvlo	VCC pin(H>L), Ivreg5 = -1mA		2.54		V
ヒステリシス電圧 (VCC)	Vuvlo(hys)	VCC pin, Ivreg5 = -1mA		200		mV
オンスレッシュヨルド電圧 (VREG5IN)	Vuvlo	VREG5IN pin (H>L)		2.55		V
ヒステリシス電圧 (VREG5IN)	Vuvlo_vreg5 (hys)	VREG5IN pin		239		mV
システム UVLO 部						
オンスレッシュヨルド電圧	Vsysuvlo	SYSUVLO pin(H>L)	0.97	1.00	1.03	V
ヒステリシス電圧	Vsysuvlo(hys)	SYSUVLO pin	0.13	0.22	0.31	V
タイマーラッチ部						
スレッシュヨルド電圧	Vlat	SCP pin	1.15	1.20	1.25	V
充電電流 (UVP 動作時)	Iscp(ulp)	Vscp = 0.1V	0.6	1.0	1.4	uA
充電電流 (OVP 動作時)	Iscp(ovp)	Vscp = 0.1V	3.0	5.0	7.0	uA
SCP リセット電圧	Vscp(rst)	VCC pin		1.6		V
コントロール部						
SEL1, SEL2 Hレベルスレッシュヨルド電圧	Vsel1(h) Vsel2(h)		VREG5IN -0.5V		VREG5IN	V
SEL1, SEL2 Lレベルスレッシュヨルド電圧	Vsel1(l) Vsel2(l)		0		0.5	V
全体						
平均消費電流	Icc(op)	出力スイング動作時 (VCC ピン)		4.5	9.0	mA
	Icc	SS_1,2,3=0V, 出力スイング停止時 DTC_1,2,3,DTC_VGH, DTC_VGL = 0V (VCC ピン)		3.5	7.0	mA

機能説明

●システム UVLO

電源電圧がある電圧以下になった場合、動作を止める機能です。通常 DC/DC 用コントローラ IC は内部に UVLO (アンダーボルテージロックアウト) 機能を持っており、IC が正常動作出来ない電源電圧以下では動作させないようにになっています。しかし現実のセットにおいては IC は十分正常動作可能な電圧であっても、システムとして異常と判断される電圧以下である場合には IC を動作させない機能が必要とされる場合が多くあります。このような場合システム UVLO 機能を使用することにより、外付けの抵抗 2 本のみで、コントローラ IC の動作を制御することができます。例えば、電源電圧 (Vin) として 4.0V 以上を想定した図 1 の定数において、システム UVLO 動作は図 2 のようになります。

電源電圧 (Vin) がシステム UVLO 解除電圧 (ここでは 4.27V) になると、ソフトスタートを開始し、SS 端子電圧は徐々に上昇します。そして SS 端子電圧が約 1.2V になった時点でソフトスタートは終了し、出力電圧は正規の電圧になります。

電源電圧 (Vin) 低下時はシステム UVLO が動作 (ここでは 3.5V まで低下すれば UVLO は動作開始) し、即座にスイッチング動作を止め、SS 端子を Gnd レベルに引き下げます。

スイッチング動作停止に伴い、出力電圧は低下します。その後、電源電圧 (Vin) がシステム UVLO 解除電圧になると、ソフトスタート後、出力は正規の電圧になります。

システム UVLO の電圧設定は以下の式で与えられます。

$$\text{システム UVLO 解除電圧} = 1.22 \times \frac{R1 + R2}{R2}$$

$$\text{システム UVLO 検出電圧 (動作下限電圧)} = 1.0 \times \frac{R1 + R2}{R2}$$

また、出力短絡や過負荷時には一般的に電源電圧 (Vin) も短絡電流により低下します。

出力短絡や過負荷による短絡保護回路 (SCP) は電源電圧低下によりリセットされますので、タイマーラッチに至るまでのタイマー時間の設定は十分にご検討ください。

注 1) タイマーラッチに至るより先にシステム UVLO が動作した場合は、出力短絡→電源電圧低下 (システム UVLO 動作)→短絡電流減少→電源電圧上昇 (システム UVLO 解除)→短絡電流による電源電圧低下, を繰り返すこととなりますので、タイマーラッチがシステム UVLO より先に動作するように、タイマー時間設定、システム UVLO の設定電圧を調整して下さい。

システム UVLO 機能を使用しない時は、SYSUVLO ピンを VREF 端子、もしくは VREG5 端子に接続します。この場合内部の UVLO 機能のみ動作します。

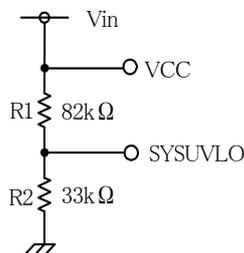


図 1. システム UVLO 設定例

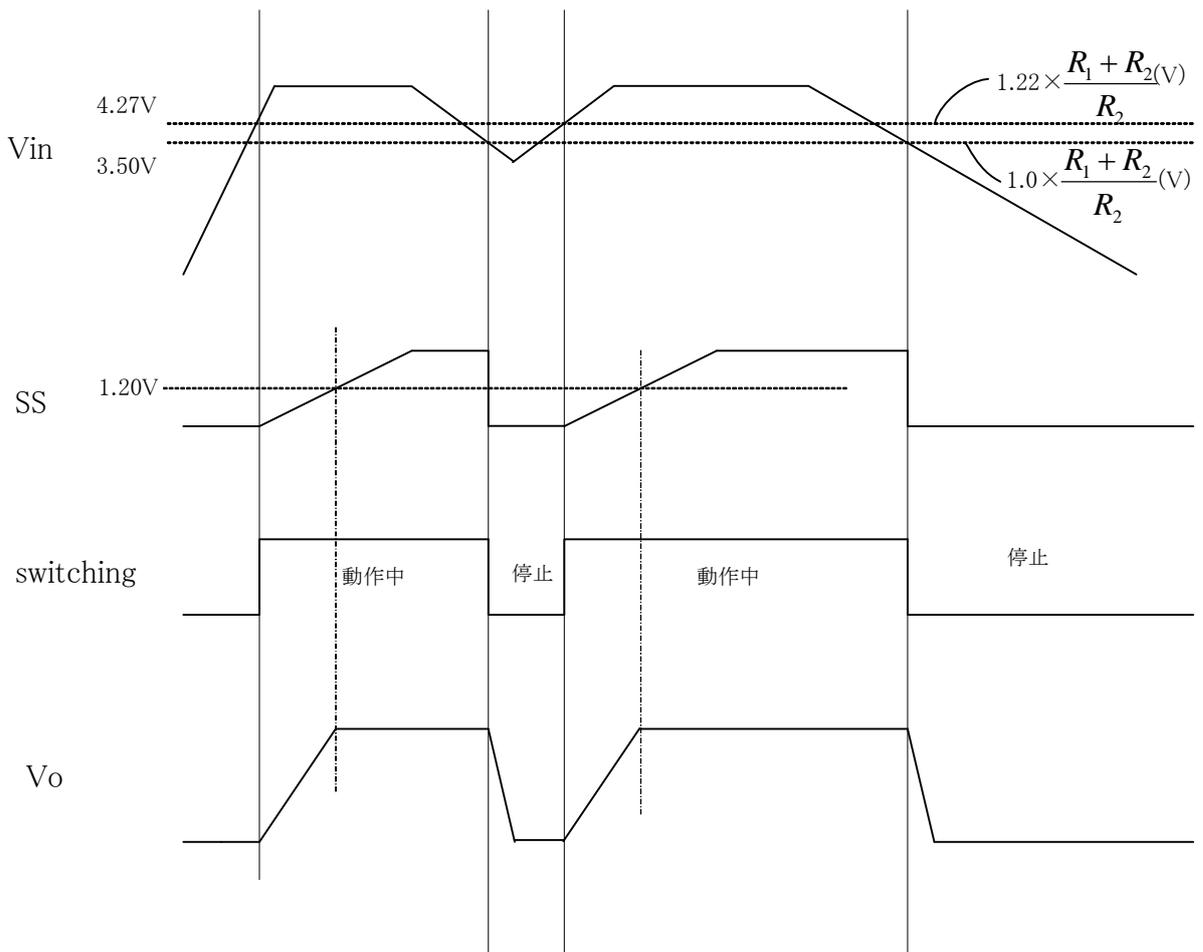


図 2. システム UVLO 機能例

● UVLO

システム UVLO を使用しない場合、デバイス内部の UVLO 回路が動作します。検出電圧は 2.54V、解除電圧は 2.74V に設定しています。

注 2) システム UVLO 機能を使用しない時は、SYSUVLO ピンを VREF 端子、もしくは VREG5 端子に接続します。

●ソフトスタート回路

DC/DC コンバータの出力電圧が急激に立ち上がることを防ぐための回路です。図3に示すように、SS 端子には、IC 内部に 1 μ A の定電流のソース電流回路とプルダウントランジスタが接続されており、SS 端子と GND 間につないだ外部のコンデンサによりソフトスタート時間を設定します。パワーオン後システム UVLO 又は UVLO が解除されるまではプルダウントランジスタが On となっており、Gnd レベルに固定されています。また SS 端子を外部のオープンドレインタイプのトランジスタをつなぐことにより、各チャンネルの On/Off 制御を行うことができます。(図3参照)

本 IC のエラーアンプは等価的には反転側が 1 入力、非反転側が 2 入力の計 3 入力のエラーアンプです。入力トランジスタは 3 入力とも PMOS で、2 入力ある非反転入力の 1 つに SS 端子が、他の 1 つに内部の基準電圧がつながっています。基準電圧は ch-1,ch-3 は 1.2V、ch-2 は 0.85V となります。SS 端子は Gnd レベルから徐々に上昇し、やがて基準電圧以上の電圧になります。PMOS 入力ですので 2 つある非反転入力の内、電位の低い方が有効となります。よって SS 端子が ch-1,ch-3 は 1.2V 以下、ch-2 は 0.85V 以下の時は SS 端子が有効となります。また ch-1,ch-3 は 1.2V、ch-2 は 0.85V を超えた場合は内部の基準電圧につながれた入力が有効となります。ソフトスタート時は SS 端子が有効になりますので、DC/DC コンバータは SS 端子の電圧を基準電圧として動作します。従って SS 端子が徐々に上昇することにより、それに合わせて DC/DC コンバータの出力も徐々に上昇していき、SS 端子の電圧が内部の基準電圧に達した時点でソフトスタートが終了します。ソフトスタート時間 T_{ss} は以下の式で与えられます。例えば $C_{ss}=0.01\mu F$ の時、ch-1,ch-3 は $T_{ss} \approx 12ms$ 、ch-2 は $T_{ss} \approx 8.5ms$ となります。

$$T_{ss1,3} \approx \frac{1.2}{1 \times 10^{-6}} \times C_{ss} = 1.2 \times 10^6 \times C_{ss} \text{ (sec)}$$

$$T_{ss2} \approx \frac{0.85}{1 \times 10^{-6}} \times C_{ss} = 0.85 \times 10^6 \times C_{ss} \text{ (sec)}$$

DTC 方式と異なり、ソフトスタート時間は外部につないだコンデンサの容量で決まり、出力電圧は SS 端子の電圧に比例して上昇し、オーバーシュートのない立ち上がり波形を実現できます。またパワー On 時の負荷電流には依存せず、常に一定の時間で立ち上がりますので、簡単にシーケンスを組むことができます。但し出力短絡が発生している状態でのパワー On を行うと、制御回路は出力電圧が規定の電圧に達していないと判断し、即座に Max Duty で動作することになりますので、注意が必要です。又、SS 端子と DTC 端子はそれぞれ短絡しないで下さい。

なお Max Duty 制限は、DTC 回路の項を参照して下さい。

●PG 端子

プルダウントランジスタのオープンドレイン出力です。パワー On 時にはトランジスタが On しており、端子電圧は Gnd レベルになっています。各チャンネルが動作開始して、ch-2 は SS2 の電圧が約 1V、ch-3 は SS3 の電圧が約 1.35V に達した場合にプルダウントランジスタが Off となります。

パワーグッド端子が外部コントロールピンに接続される場合、電源電圧によってパワーグッド端子につながる抵抗の一端は表 1 の様に接続して下さい。

表 1 P G 抵抗接続先

電源電圧	抵抗接続先
5.5V 以下	PUP_PG
5.5V 以上	VREG5

PG 端子に約 100k Ω 程度のプルアップ抵抗をつなぐと出力が正規電圧の 90% 程度になった時に High レベルになりますので、この信号を他の回路に使用することも可能です。ただし、プルアップ抵抗は VREG5 よりも高い電圧には接続しないで下さい。

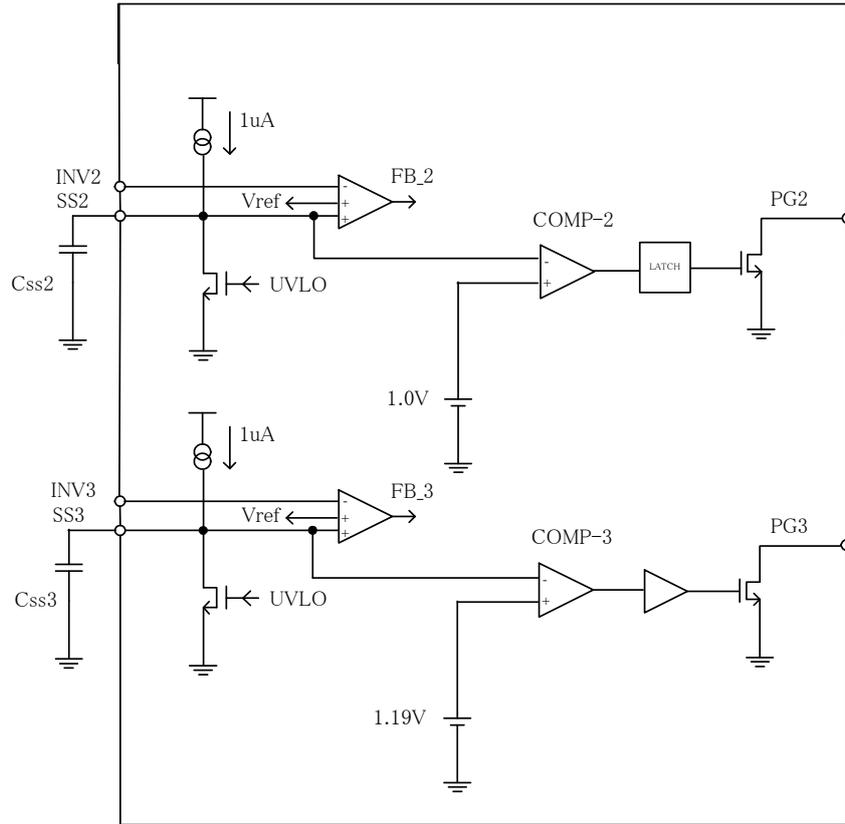


図 3. SS と PG 回路図

● 低耐圧 (3.3V 出力) LDO

図4に低耐圧LDOの回路図を示します。電源端子V_LLDOに5Vを印加し、3.3Vを出力します。LDOを使用せず外部の3.3Vを使用する際には、V_LLDO端子とOUT_LLDO端子を短絡して3.3Vを印加して下さい。

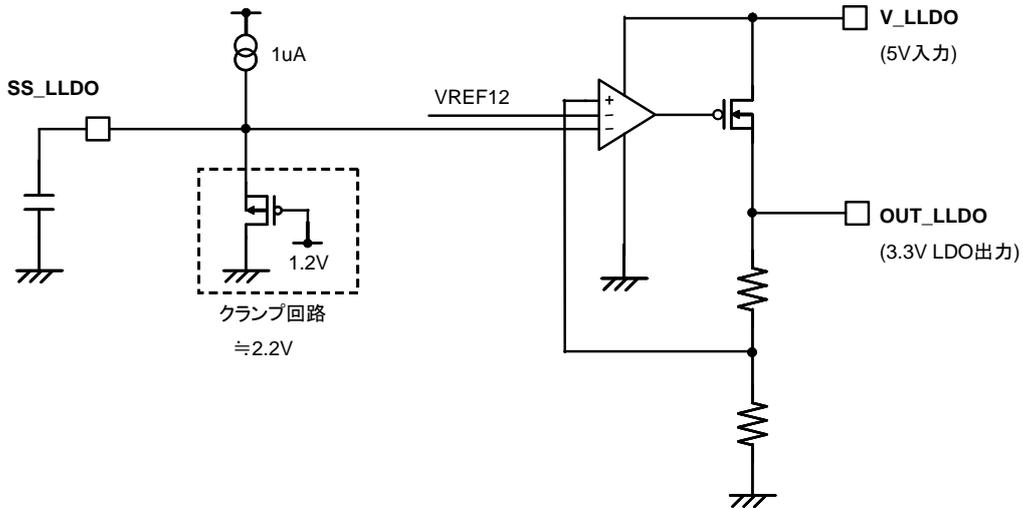


図4. 低耐圧 LDO 回路

● TCON リセット回路

TCONリセット信号はOUT_LLDOとVGHが正常に立ち上がった際にHighレベルを出力します。(図5, 図6参照)

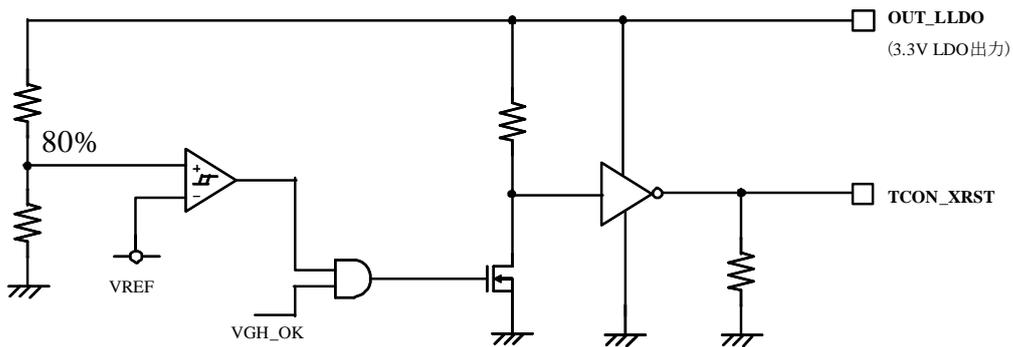


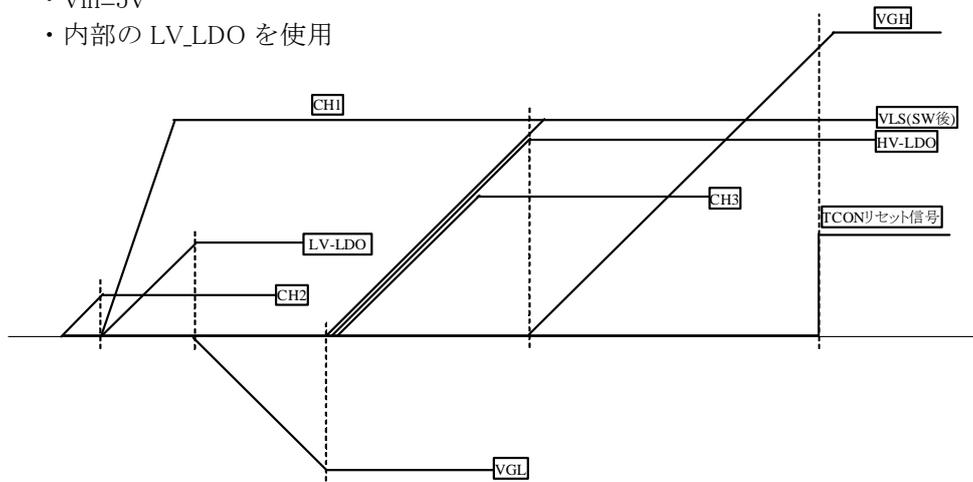
図5. TCON リセット回路

● 起動シーケンス設定

SEL1 ピンの設定の選択により、起動シーケンスを容易に設定できます。(表 2, 図 6 参照)

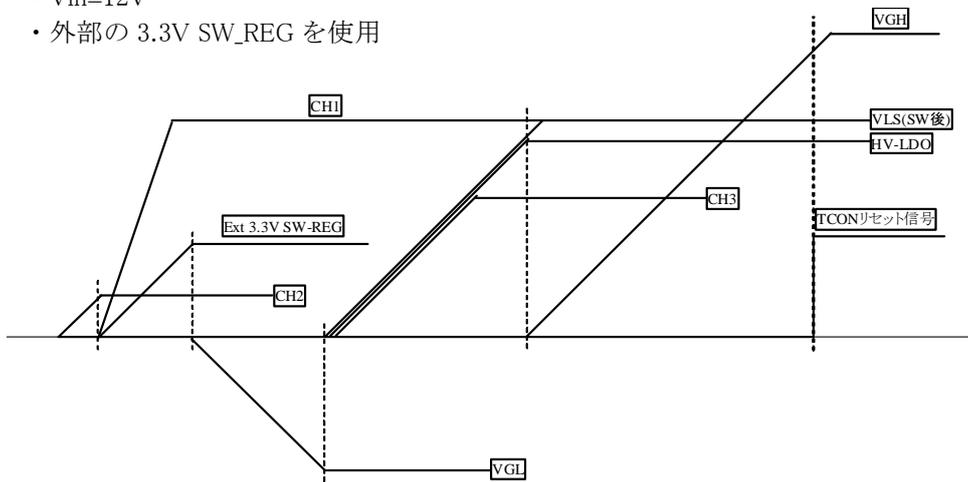
設定①

- Vin=5V
- 内部の LV_LDO を使用



設定①

- Vin=12V
- 外部の 3.3V SW_REG を使用



設定②

- Vin=12V
- 3.3V は CH3 にて生成

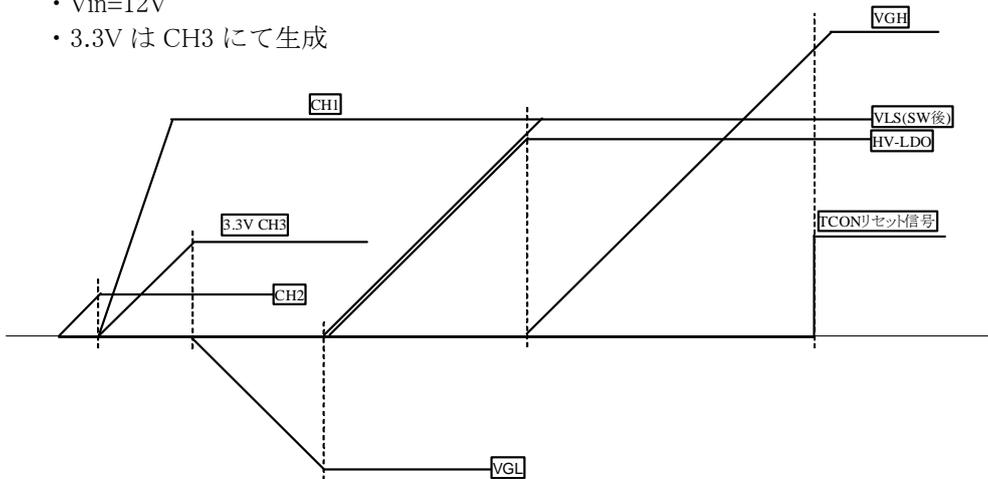


図 6. 起動シーケンス立ち上がり波形例

表 2 SEL1 ピン設定

SEL1 接続先	起動シーケンス
GND	設定①
VREG5	設定②

● DTC 回路

IC 出力段のデッドタイムを設定するための機能です。DTC 端子に電圧を与えることにより、デッドタイムを設定することが出来ます。各チャンネルはそれぞれ予め内部で Max Duty を設定しています。又、システムに合わせた Max Duty を設定することが可能となります。このときのデッドタイムと電圧の関係は後述の標準特性の図を参照してください。DTC 設定をしない場合は DTC 端子を直接 VREF 又は VREG5 へ接続して下さい。(図 7(a)(b) 参照)

チャージポンプ VGH, VGL の場合、50%Duty とするため約 750mV に設定して下さい。又 PFM レギュレータとして使用する場合、DTC 端子と GND 間に容量を挿入する事によりソフトスタートも可能です。(図 7(c) 参照) 内部設定 Max Duty は ch-1,3 は 89%、ch-2 は 85%、VGH は 93%、VGL は 87%です。

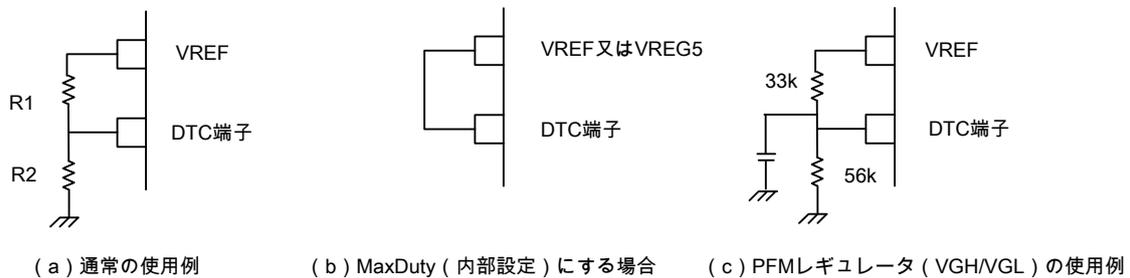


図 7. DTC 端子への電圧印加方法

● VGL-UVP 回路

チャージポンプVGLの短絡や過負荷等による出力電圧低下異常を検知するための回路です。IC内部のVGL-UVP コンパレータが NON_VGL の電圧をモニターし、VREF の 1/2 抵抗分圧値と比較します。VREF 分圧値は外付け抵抗でも設定可能です (図 8 参照)。外付け抵抗を使用しない時は、安定性のために 0.01uF のコンデンサを VGL_UVP 端子に接続して下さい。出力電圧が規定の電圧以下に低下した場合、UVP コンパレータが VGH を停止し、チャージポンプの出力に異常が起きたことを SCP タイマーラッチ回路に知らせます。

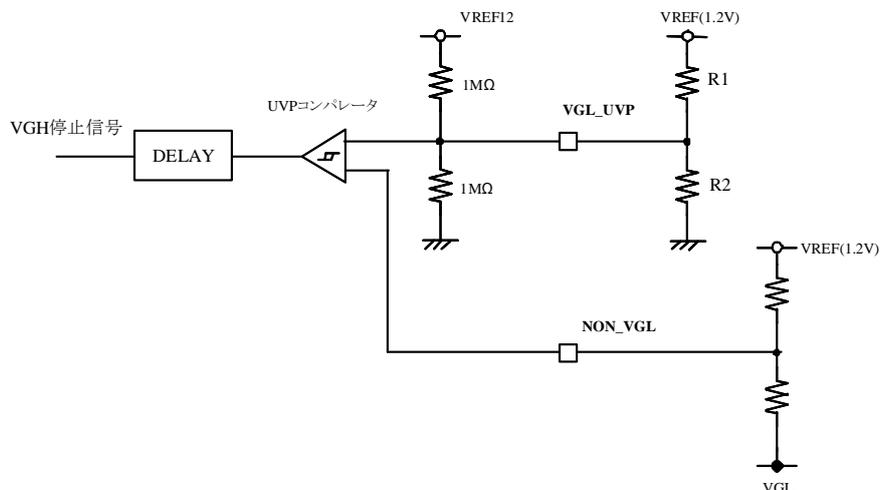


図 8. VGL_UVP 回路図

● UVP 回路

ch-1,2,3の短絡や過負荷等による出力電圧低下異常を検知するための回路です。IC内部のUVPコンパレータがエラーアンプの出力 (FB1,2,3) の電圧をモニターします。

正常動作時の反転入力端子の電圧は、IC内部でVREFにつながっている非反転入力と同じく、約1.2Vとなります。短絡や過負荷等により出力電圧が低下した場合、同じ割合でこの端子電圧も低下します。出力電圧が規定の電圧以下に低下した場合 Max Duty となり、エラーアンプの出力電圧をモニターしている UVP コンパレータが DC/DC コンバータの出力に異常が起きたことを SCP 回路に知らせます。(図9参照)

● 短絡保護回路 (SCP タイマー回路)

ある一定時間以上 Max Duty 動作、OVP 動作、又は異常温度が続いた場合、IC をシャットダウンする機能です。IC 内部に定電流のソース電流回路とプルダウントランジスタがあり、SCP 端子と GND 間につないだ外部のコンデンサによりタイマー回路を構成します。正常動作時には内部のプルダウントランジスタが On となっており、Gnd レベルに固定されています。(図9参照)

出力電圧低下をUVPコンパレータが検知すると、SCP端子につながっているプルダウントランジスタがOffとなり、1uAの定電流で外部コンデンサの充電を開始します。出力電圧上昇をOVPコンパレータが検知している間、又は異常温度が続いた場合は、5uAの定電流と外部コンデンサで決まる時定数でSCP端子電圧が上昇を続けます。SCP端子電圧が1.2Vに達すると、タイマー後段のラッチが動作し、全チャンネルとも動作を停止し、シャットダウンモードに入ります。(図10参照)一旦ラッチが働けば、電源を再投入するまではラッチ状態は解除されません。ラッチに至るまでのタイマー時間の設定は外部のコンデンサの容量を変更することで行います。また、チャージポンプのSCPタイマーラッチについてはSEL2によってOn/Off選択可能です(表3参照)。

タイマー時間 T_{scp} は以下の式で与えられます。例えば $C_{scp}=0.01\mu F$ の時、UVP 検出時 $T_{scp} \approx 12ms$ となります。また OVP 又は TSD 検出時 $T_{ovp} \approx 2.4ms$ となります。

UVP の場合

$$T_{scp} = \frac{1.2}{1 \times 10^{-6}} \times C_{scp} = 1.2 \times 10^6 \times C_{scp} (\text{sec})$$

OVP/TSD の場合

$$T_{ovp} = \frac{1.2}{5 \times 10^{-6}} \times C_{scp} = 2.4 \times 10^5 \times C_{scp} (\text{sec})$$

注1) 出力短絡や過負荷時には一般的に電源電圧 (V_{in}) も短絡電流により低下します。

出力短絡や過負荷による短絡保護回路 (SCP) はシステム UVLO によりリセットされますので、タイマーラッチに至るまでのタイマー時間の設定は十分にご検討下さい。

タイマーラッチに至るより先にシステム UVLO が動作した場合は、出力短絡→電源電圧低下(システム UVLO 動作)→短絡電流減少→電源電圧上昇(システム UVLO 解除)→短絡電流による電源電圧低下、を繰り返すこととなりますので、タイマーラッチがシステム UVLO より先に動作するように、タイマー時間設定、システム UVLO の設定電圧を調整して下さい。

注2) チャージポンプのUVPタイマーラッチ機能を有効にする場合は、チャージポンプの立ち上がり時間によってシャットダウンモードに入りますので、タイマー時間の設定は十分にご検討下さい(図11参照)。

表3 SEL2 ピン設定

SEL2 接続先	起動シーケンス
GND	C.P タイマーラッチ有効
VREG5	C.P タイマーラッチ無効

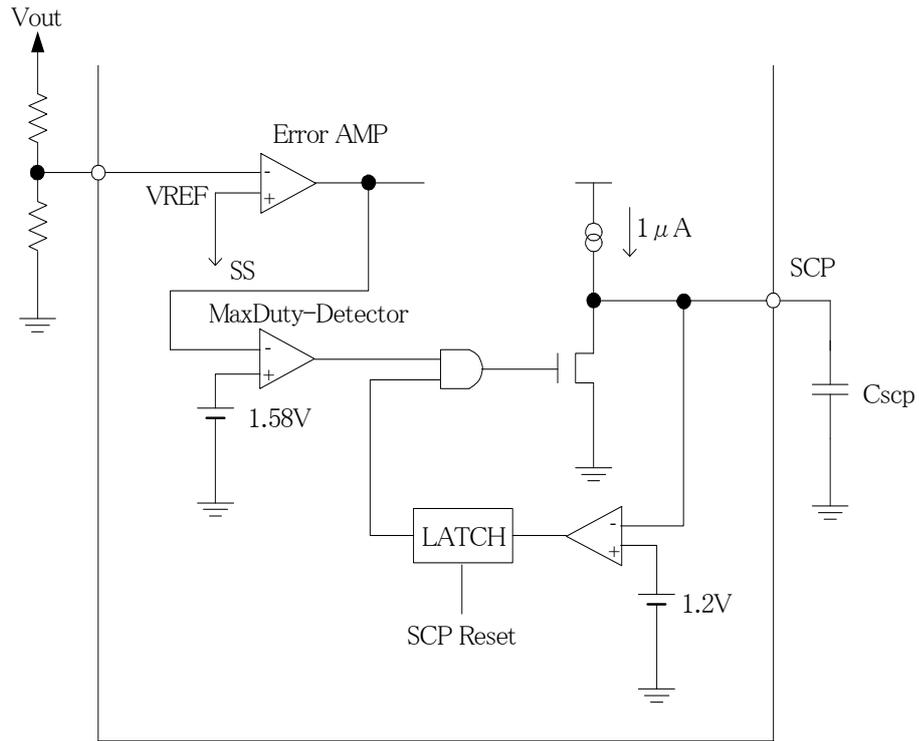


図 9.SCP 回路 (概念図)

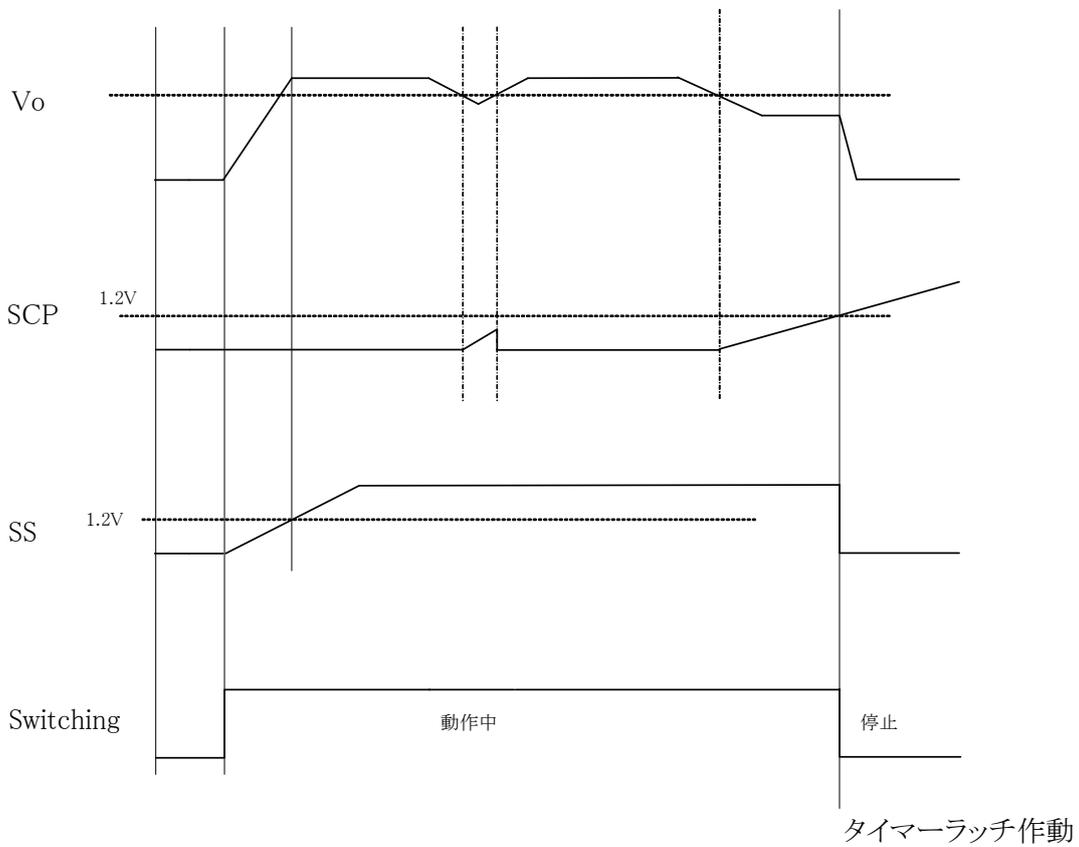


図 10. 短絡保護動作波形例

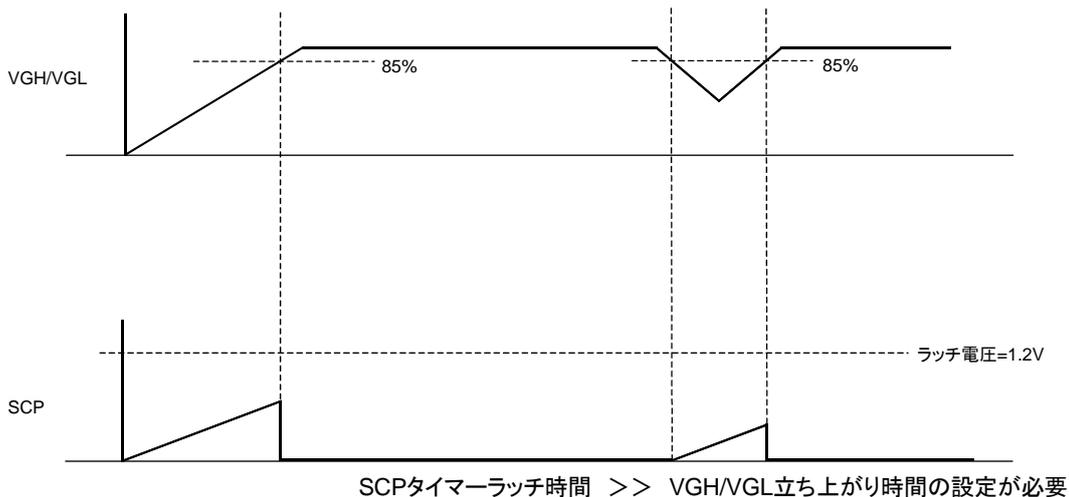


図 11. チャージポンプ短絡保護動作波形例

●過電圧保護回路 (OVP)

ch-1,2,3 の出力電圧がある一定電圧を超えた場合、出力を停止する保護機能です。IC 内部に ch-1,ch-3 は 1.5V、ch-2 は 1.06V を基準電圧とした OVP コンパレータがあり、INV 端子の電圧を監視しています。この OVP コンパレータ出力は OUT 出力に接続されています。INV 端子の電圧が ch-1,ch-3 は 1.5V、ch-2 は 1.06V を超えた場合は OUT 出力は外付け MOS トランジスタを off し、SW を停止させるので出力電圧はある一定電圧を超えないように動作します(図 12 参照)。また同時に、ch-2,ch-3 は出力異常を SCP 回路に知らせます。

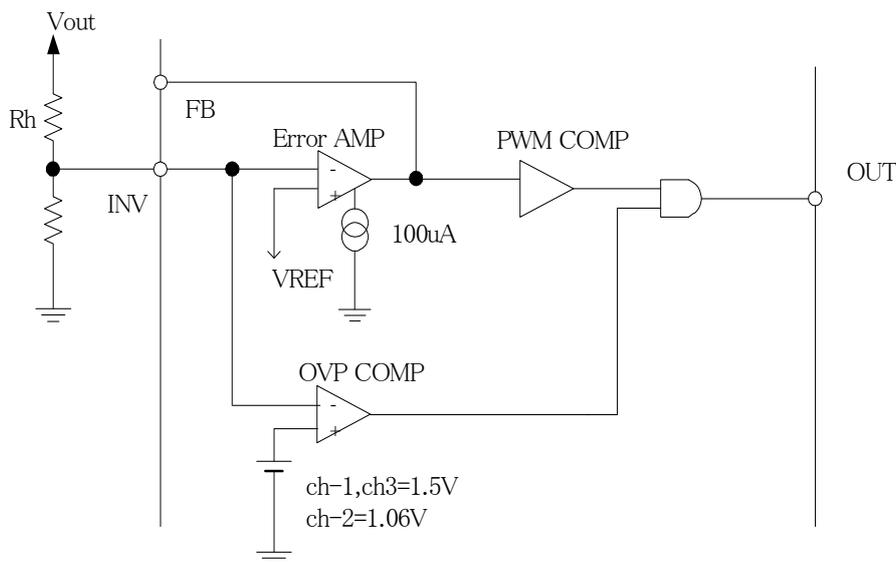


図 12 過電圧保護回路 (OVP) 説明図

注) FB-INV 端子短絡時の動作について

FB-INV 端子の短絡の場合は、ERROR-AMP に内蔵された定電流回路 (100uA) が作用しますので、おおよその出力電圧は下記の式にて求められます。

$$FB-INV \text{ ピン短絡時の出力電圧 (Vout) } = \text{正常時の出力電圧} \times 1.25 + Rh \times 100\mu A$$

また、OVP コンパレータは誤動作防止の目的で 0.5us の Delay 回路が内蔵されていますので、FB-INV 端子短絡時の実際の出力電圧は上記式で求めた値よりも大きい値になります。

●出力電圧設定

ch-1 の場合について説明します (図 13 参照)。フィードバックの働きにより、INV1 の電圧は VREF 電圧に等しくなります。また、INV1 の電圧は、Vout1 を R1 と R2 で分圧したものです。
従って

$$V_{out1} \times \frac{R2}{R1 + R2} = VREF$$

よって

$$V_{out1} = VREF \times \left(1 + \frac{R1}{R2}\right)$$

なお、ここでは VREF=1.2V であるので

$$V_{out1} = 1.2 \times \left(1 + \frac{R1}{R2}\right)$$

ch-2, ch-3 も同様に

$$V_{out2} = 0.85 \times \left(1 + \frac{R4}{R5}\right)$$

$$V_{out3} = 1.2 \times \left(1 + \frac{R7}{R8}\right)$$

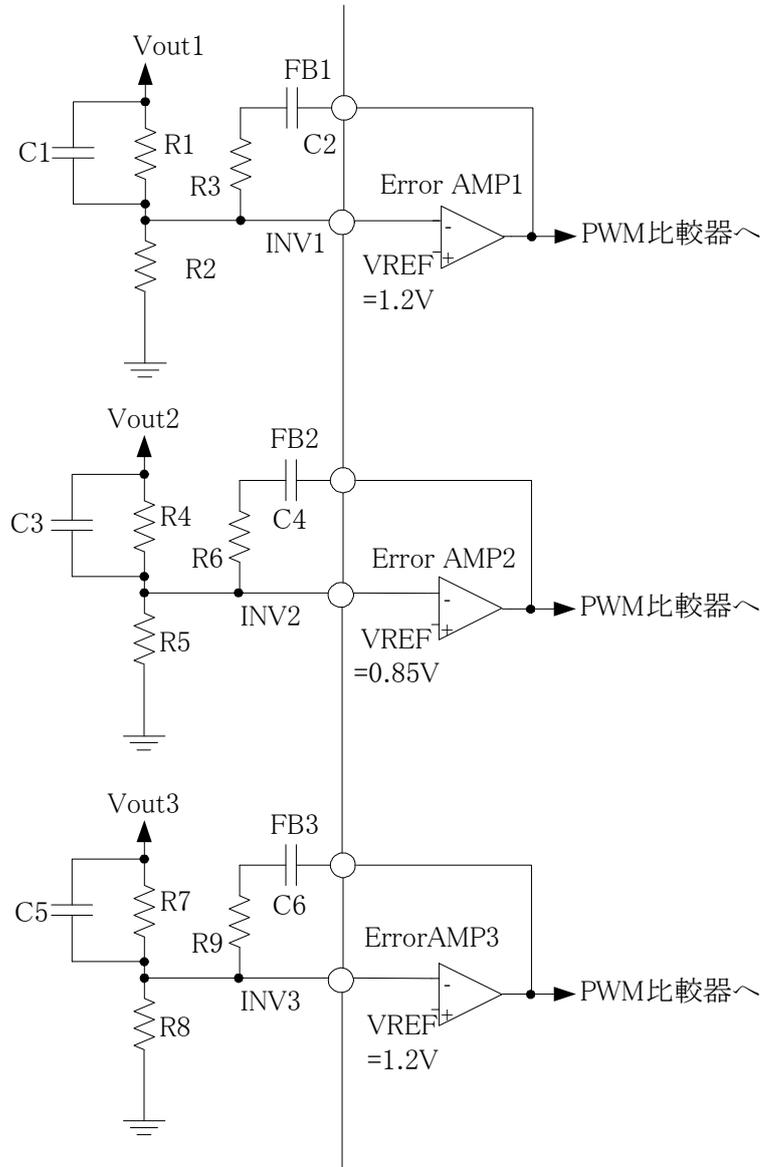


図 13. 出力電圧の設定

チャージポンプの場合について説明します。VGH については INV_VGH の電圧は VREF 電圧に等しくなるよう制御されます (図 14 参照)。また、INV_VGH の電圧は、VGH を R9 と R10 で分圧したものです。よって

$$VGH = VREF \times \left(1 + \frac{R9}{R10}\right) = 1.2 \times \left(1 + \frac{R9}{R10}\right)$$

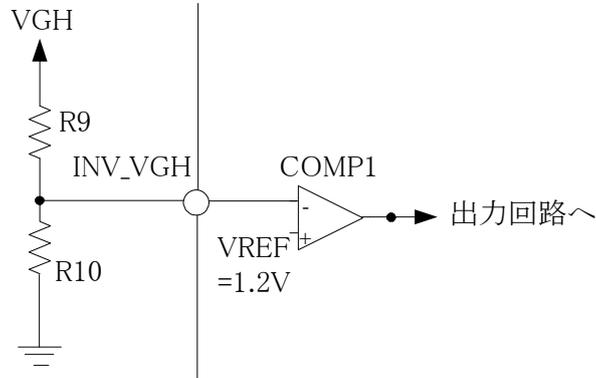


図 14.VGH 出力電圧の設定

VGL については NON_VGL の電圧はゼロに等しくなるよう制御されます (図 15、16 参照)。また、NON_VGL に流れる電流は無視できます。よって

$$VGL = -(VREF) \times \frac{R11}{R12} = -1.2 \times \frac{R11}{R12}$$

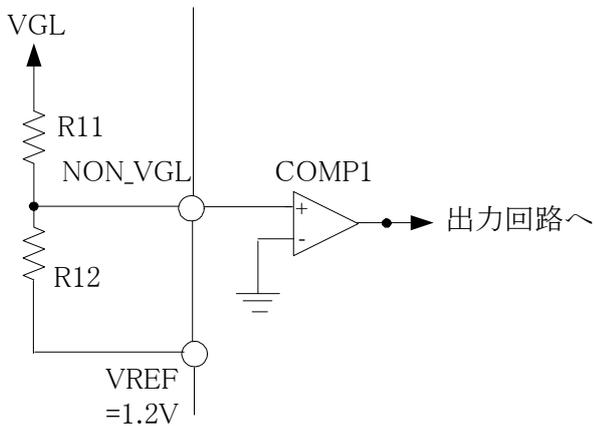


図 15.VGL 出力電圧の設定

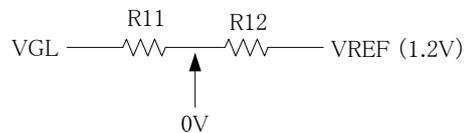


図 16. Inverting Mode の場合の出力電圧設定

●サーマルシャットダウン (TSD)

デバイスの異常な温度上昇を検知し、SCP 回路に知らせます。検出温度は 175 °C (解除温度は 160 °C) です。

●電流制限回路 (LDO)

高耐圧 LDO と低耐圧 LDO (3.3V 出力 LDO) は復帰型電流制限機能を内蔵しています。スレッショルド電流は高耐圧 LDO が 250mA、低耐圧 LDO が 700mA です。

●基準電圧回路

基準電圧回路は、温度補償された基準電圧 (= 1.2V) を発生し、IC 内部回路の基準電圧として使用されています。

また、基準電圧は VREF 端子より最大 1mA まで外部に取り出せます。

安定化のため VREF 端子と SGND 間にコンデンサ (0.01 μF) を接続して下さい。

●誤差アンプ (Error Amp)

誤差アンプはスイッチングレギュレータの出力電圧を検出し、PWM 制御信号を出力するアンプです。誤差アンプの出力端子 (FB1,2,3 端子) から反転入力端子 (INV1,2,3 端子) への帰還抵抗およびコンデンサの接続により任意の設定できるため、システムに対して安定した位相補償ができます。

●発振回路

RT 端子と GND 間に接続する抵抗 (RT) の値を変更することにより、発振周波数を任意に設定することができます。標準特性の項を参照して下さい。

抵抗の値と発振周波数の関係は、おおよそ以下の式で与えられます。

$$\text{発振周波数 (kHz)} \doteq \frac{2.35 \times 10^4}{RT(\text{k}\Omega)}$$

●VREG5, VREG5IN

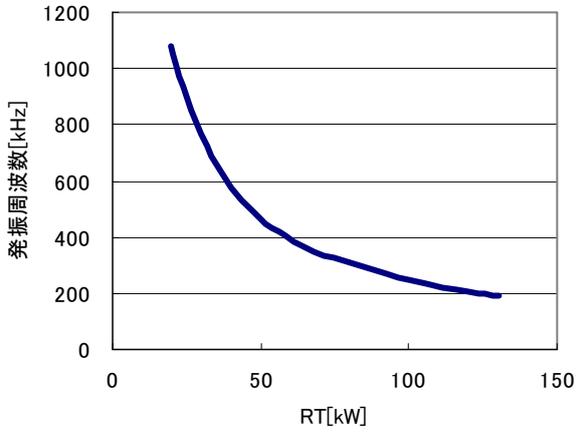
内蔵 5V ローカルレギュレータです。ch-1,2 出力用電源および内部電源です。入力電圧が 5.5V 以下の場合、入力電圧と VREG5 ピンを短絡して下さい。入力電圧が 5.5V 以上の場合、入力電圧と VREG5 ピンは必ずオープンとして下さい。

●Vcom アンプ

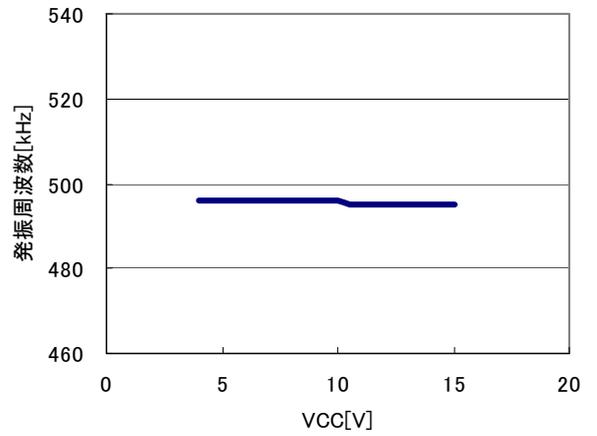
Vcom 用 Buffer アンプです。スルーレートは 4V/μs です。出力電流が必要な場合は、外付けのバイポーラトランジスタを使用して下さい。

標準特性

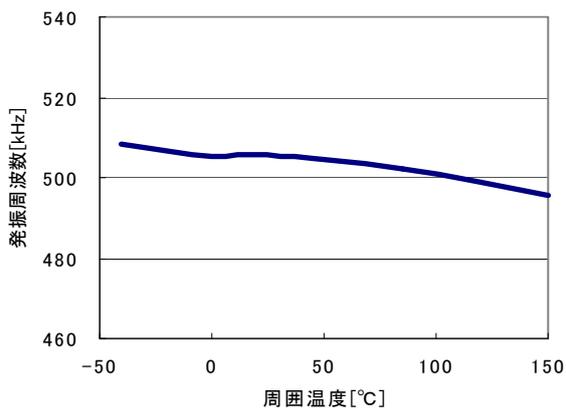
発振周波数－RT 抵抗特性



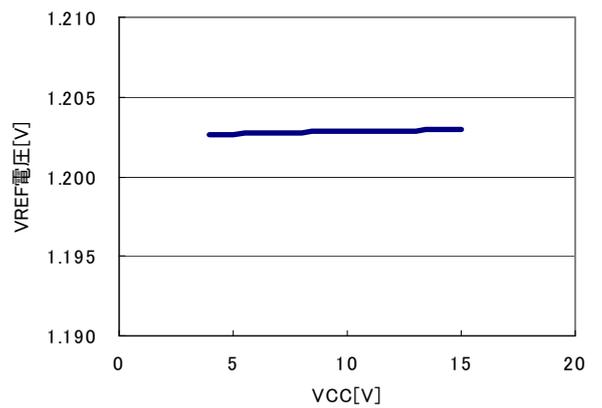
発振周波数－VCC 電圧特性



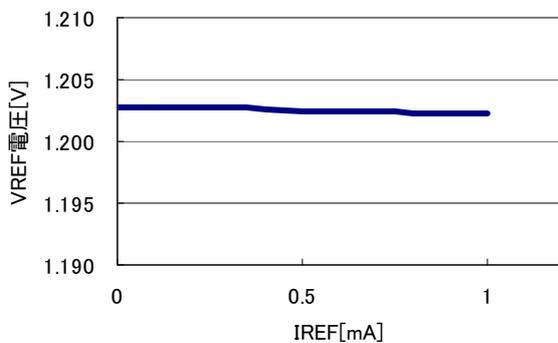
発振周波数－周囲温度特性



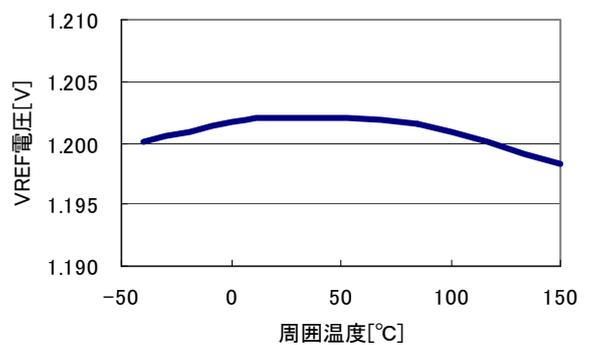
VREF 電圧－VCC (Line Regulation) 電圧特性



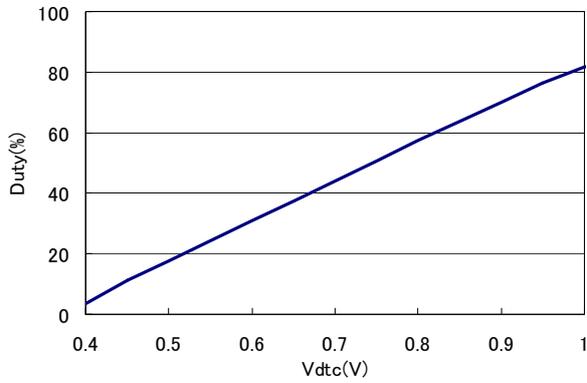
VREF 電圧－IREF (Load Regulation) 特性



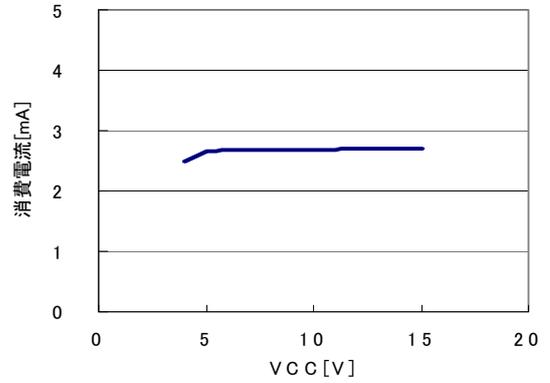
VREF 電圧－周囲温度特性



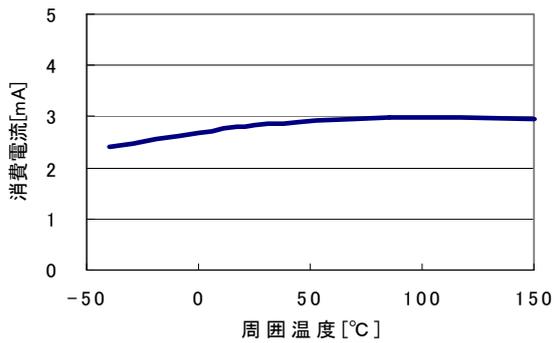
最大デューティ比 - DTC 端子電圧特性



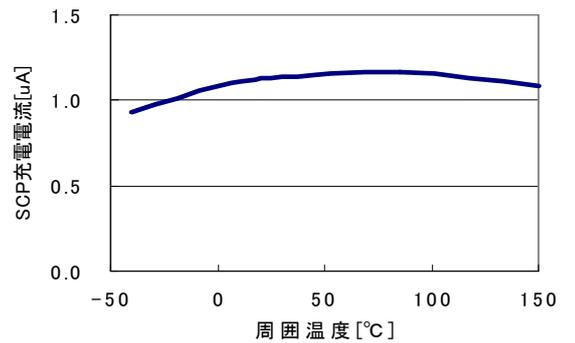
ICC (出力スイング停止時) - VCC 特性



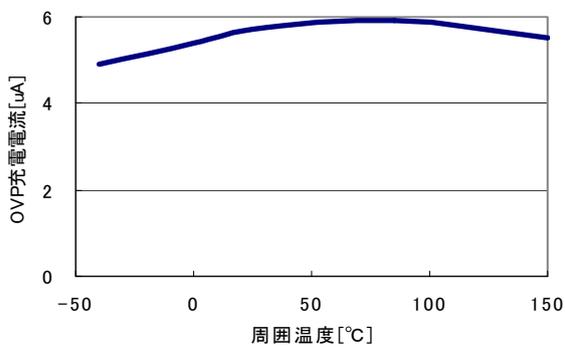
ICC (出力スイング停止時) - 周囲温度特性



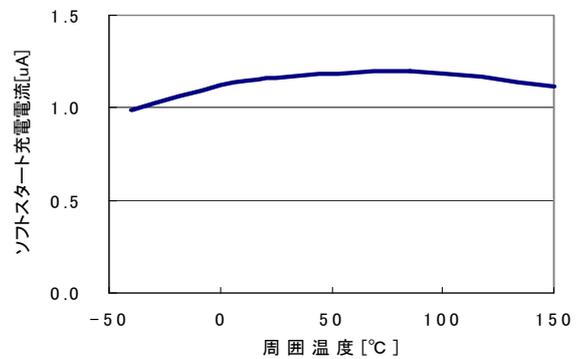
SCP 充電電流 (UVP 時) - 周囲温度特性



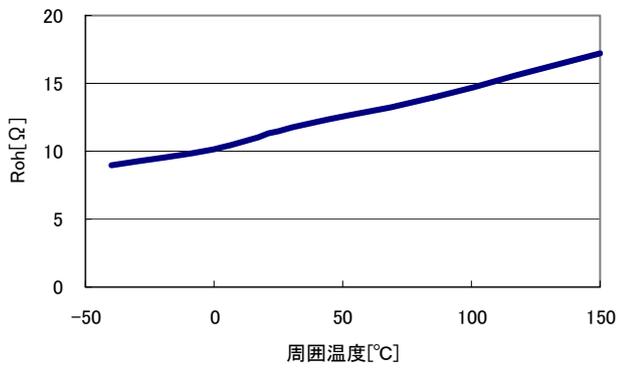
SCP 充電電流 (OVP 時) - 周囲温度特性



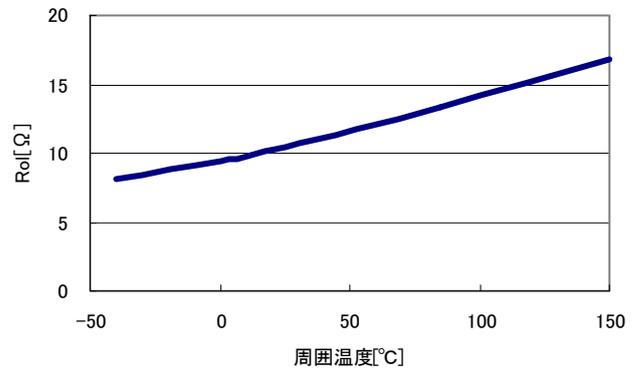
ソフトスタート充電電流 - 周囲温度特性



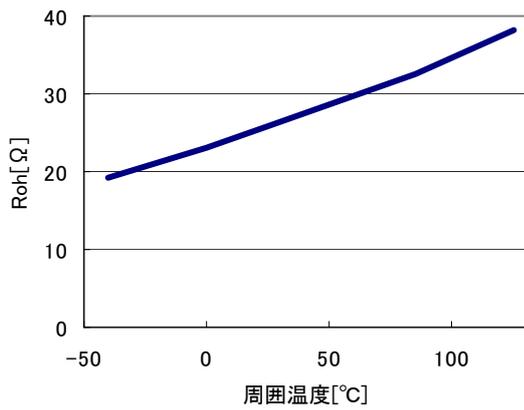
出力 H レベル出力抵抗 (Roh) - 周囲温度特性 (VGH)



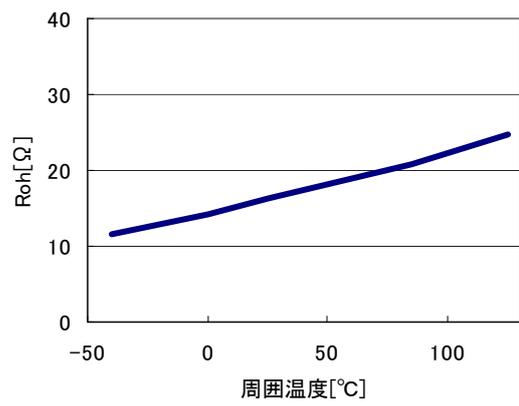
出力 L レベル出力抵抗 (Rol) - 周囲温度特性 (VGH)



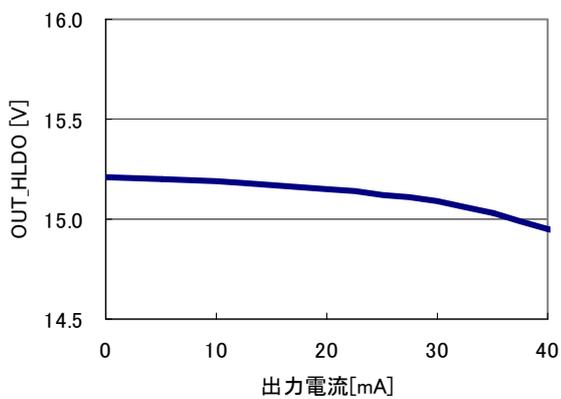
出力 H レベル出力抵抗 (Roh) - 周囲温度特性 (VGL)



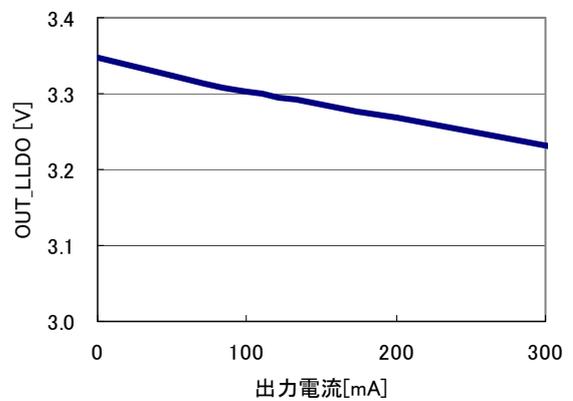
出力 L レベル出力抵抗 (Rol) - 周囲温度特性 (VGL)



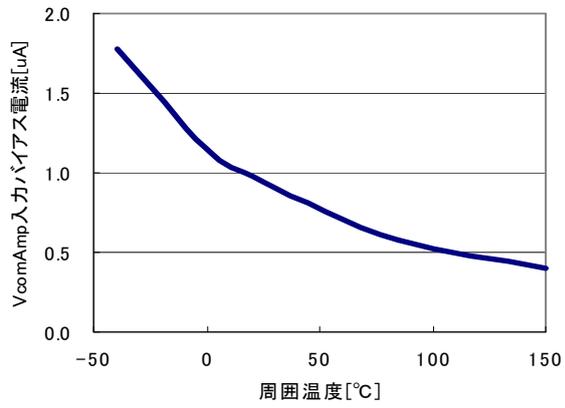
OUT_HLDO ロードレギュレーション (入出力電位差 0.4V)



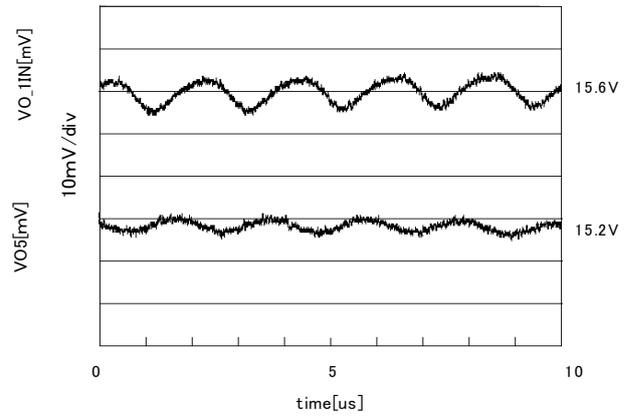
OUT_LLDO ロードレギュレーション



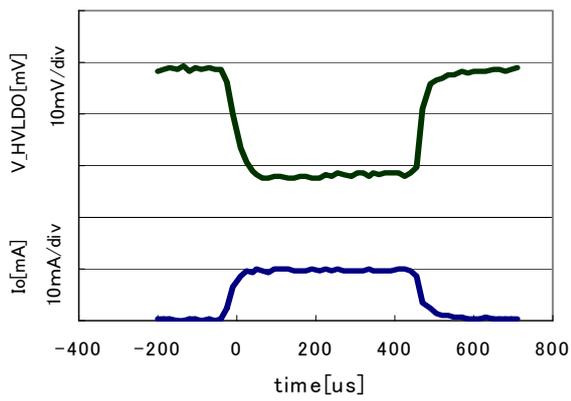
Vcom Amp 入力バイアス電流



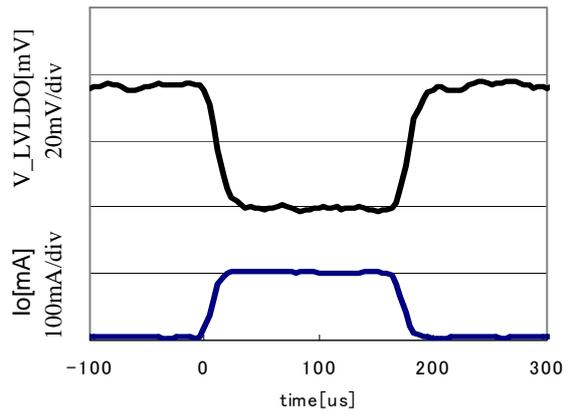
VO_1IN & OUT_HLDO 波形



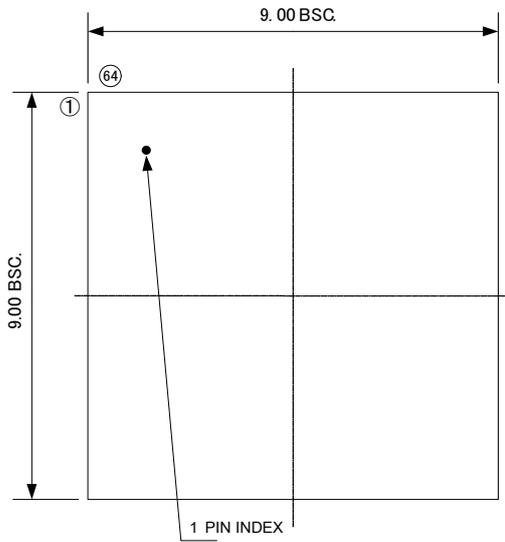
HV-I_{do} response



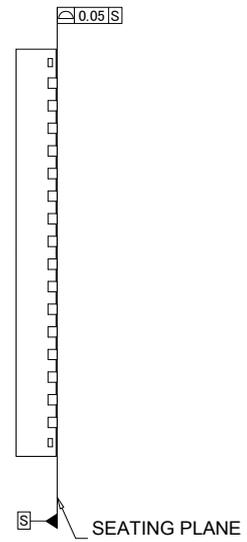
LV-I_{do} response



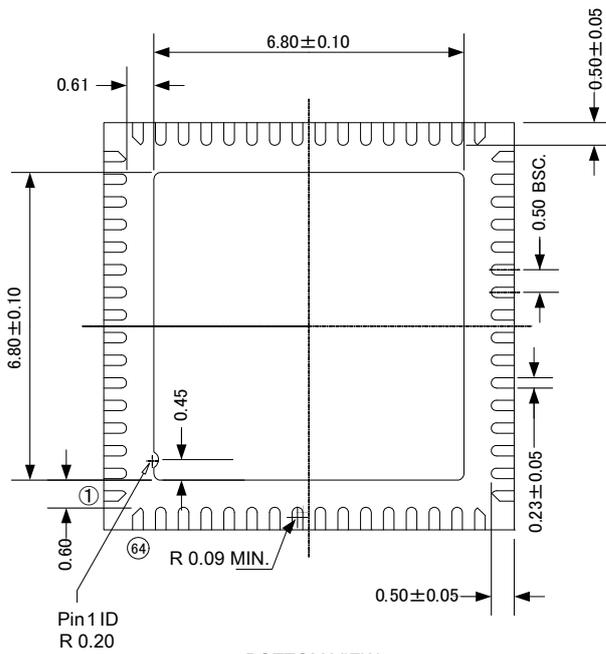
パッケージ外形寸法図



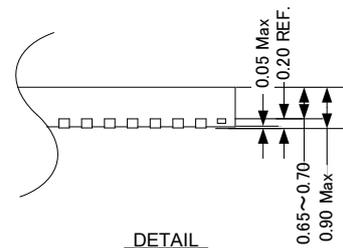
TOP VIEW



SIDE VIEW



BOTTOM VIEW



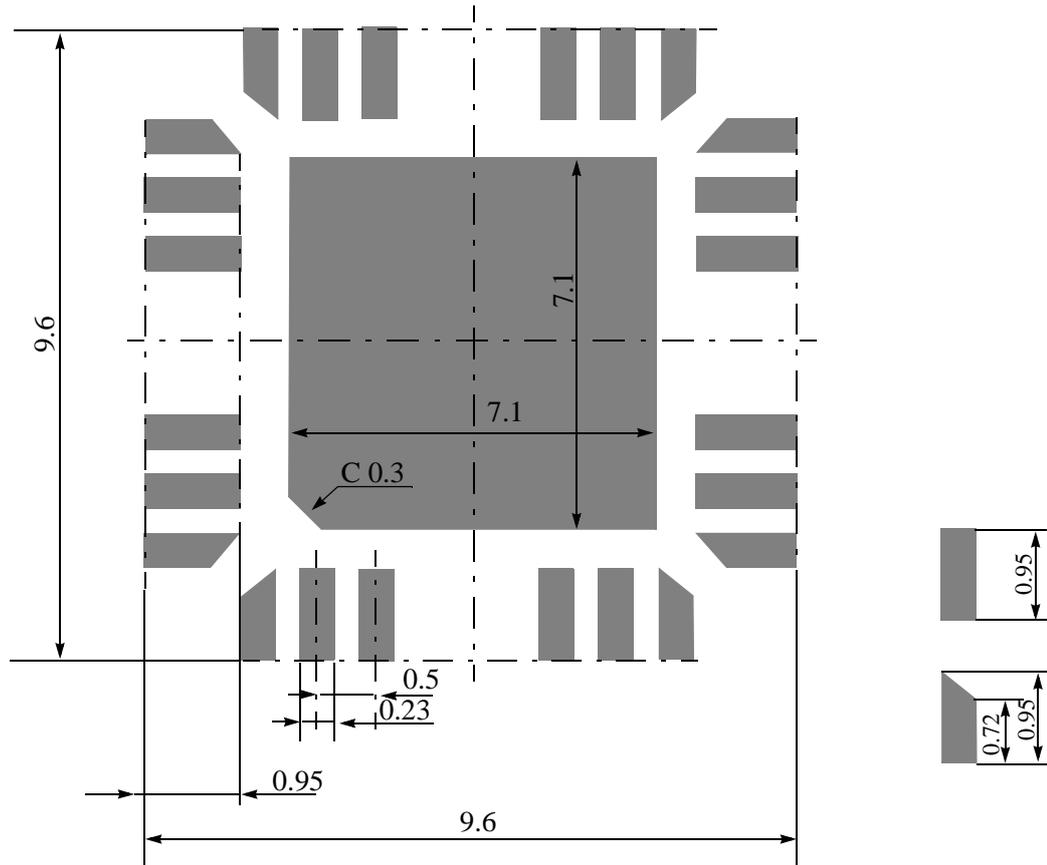
DETAIL

Unit : mm

基本ランドパターン設計例

下記に QFN64PKG 品の基板ランドパターン設計例を示します。

* 本フィットパターンは例です。基板設計の際には実装検討を十分に行ってください。



単位 : mm

諸注意とお願い

1. 本資料に記載された製品の仕様は、予告無く変更する場合がございます。
2. 本資料に記載された回路図は、あくまでも応用例として掲載されております。従って、お客様の設計におかれましては十分な注意をお願い致します。また、文中の誤りにつきましてもその責を負いかねます。誤りが発見されましても、直ちに修正できない場合がございますので、ご了承ください。
3. 本資料には、弊社の著作権、ノウハウ等が含まれておりますので弊社にことわりなく、複製、又は第三者に公開しないようお願い申し上げます。
4. この製品を使用したことにより、第三者の工業所有権に係る問題が発生した場合、弊社製品の構造製法及び機能に直接係る物以外につきましても、その責を負いかねますのでご了承ください。
5. 本製品は一般的な電子機器に使用することを前提としております。従って極めて高い信頼性を要求される用途（人命に直接係る医療機器、宇宙機器、原子力制御機器など）には、使用しないでください。又、これ以外でも輸送機器の制御と安全性に関する装置、交通信号、各種安全装置等にご使用の際には、適切な措置を講じたうえでご使用ください。
6. 弊社は製品の品質及び信頼性の向上について最大限の努力をはらっておりますが、半導体製品はわずかながらある確率をもって故障が発生いたします。弊社製品の故障により、社会的、公的な損害等を引き起こすことの無いように、十分な冗長設計、誤動作防止設計等を行ってください。
7. 本製品は、耐放射線設計は行われておりませんので、ご注意願います。
8. 本製品が、外国為替及び外国貿易管理法の規定により戦略物資等に該当するか否かは、お客様におかれまして判断をお願い致します。
9. 本製品は端子間が異物の混入等によりショートされた場合、絶対最大定格を超える電圧の印加、または誤作動により半導体製品もしくは周辺部品が破壊する可能性があります。破壊により発煙、発火の恐れがありますので、ヒューズ等、保護部品による安全対策を施すようお願い致します。

お問い合わせ先

ザインエレクトロニクス株式会社
E-mail : sales@thine.co.jp