

# THV3543

2ch Buck/Boost 2ch CP コントローラ

## 概要

THV3543 は 2 チャンネル Power MOSFET 内蔵 DC/DC コンバータ及び 2 チャンネルチャージポンプ制御回路内蔵のシステム電源 IC です。

ソフトスタート回路/低電圧保護回路/過電圧保護回路/過電流保護回路を内蔵しています。

Ch-1はBoost方式のDC/DCコンバータです。外付け抵抗で出力電圧を設定する可変モードと外付け抵抗が必要ない固定出力電圧モード(15.6V)の選択が可能です。

Ch-2はBuck方式のDC/DCコンバータです。出力電圧は3.3Vに固定されています。

正電圧用チャージポンプVGH及び負電圧用チャージポンプVGLは、外付け抵抗で出力電圧を設定する可変モードと外付け抵抗が必要ない固定出力電圧モード(VGH:35.6V、VGL:-6V)の選択が可能です。

またLDOとVcomまたはHalf AVDDに使用可能であるオペレーショナルアンプを搭載しています。

その為、LCDパネルに必要な各種電圧を生成することが可能であり、TFT LCD Bias電源のシステムの構築に最適です。

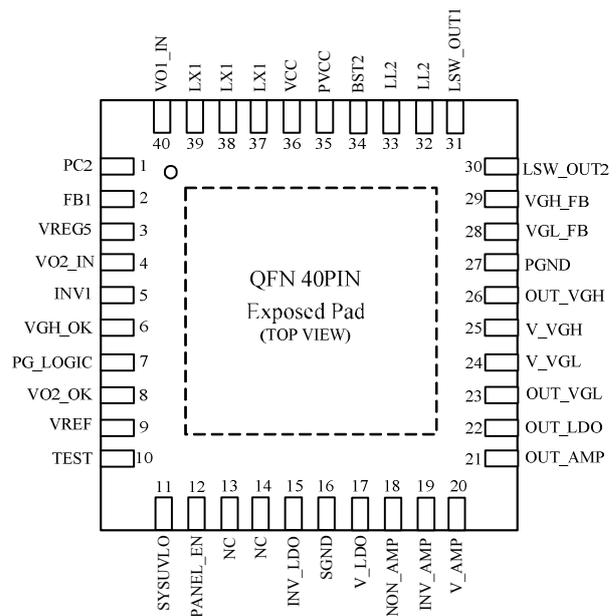
## アプリケーション

- ・LCD TV
- ・LCD モニター

## 特徴

- ・40PinQFN
- ・入力電圧範囲 : 4.2~15V
- ・Power MOSFET 内蔵 Boostコンバータ
- ・Power MOSFET 内蔵 Buckコンバータ
- 500kHz スイッチング周波数
- 低電圧保護機能
- 過電圧保護機能
- 過電流保護機能
- ・正負チャージポンプ
- ・LDO
- ・オペレーショナルアンプ

## ピン配置



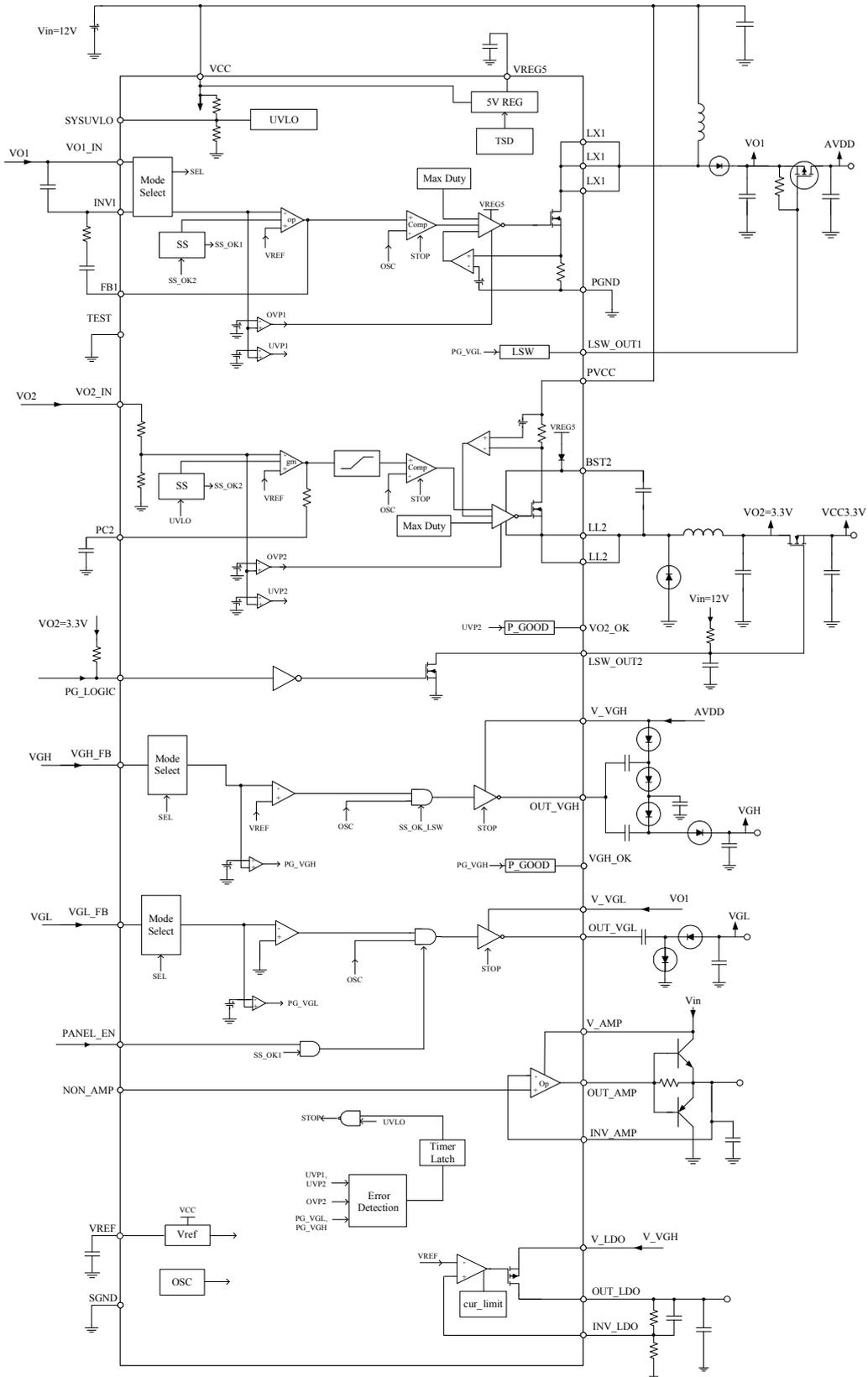
裏面 Exposed Pad は熱特性改善のため GND と接続して下さい。

出力チャンネル

出力チャンネル	説明
Ch-1	PWM 方式 Boost DC/DC コンバータ
Ch-2	PWM 方式 Buck DC/DC コンバータ
VGH	正電圧出力チャージポンプ
VGL	負電圧出力チャージポンプ
AMP	オペレーショナルアンプ
LDO	LDO
LSW_OUT1	ロードスイッチ用コントロール出力 1
LSW_OUT2	ロードスイッチ用コントロール出力 2

ブロック図

THV3543 TFT Multi Channel controller



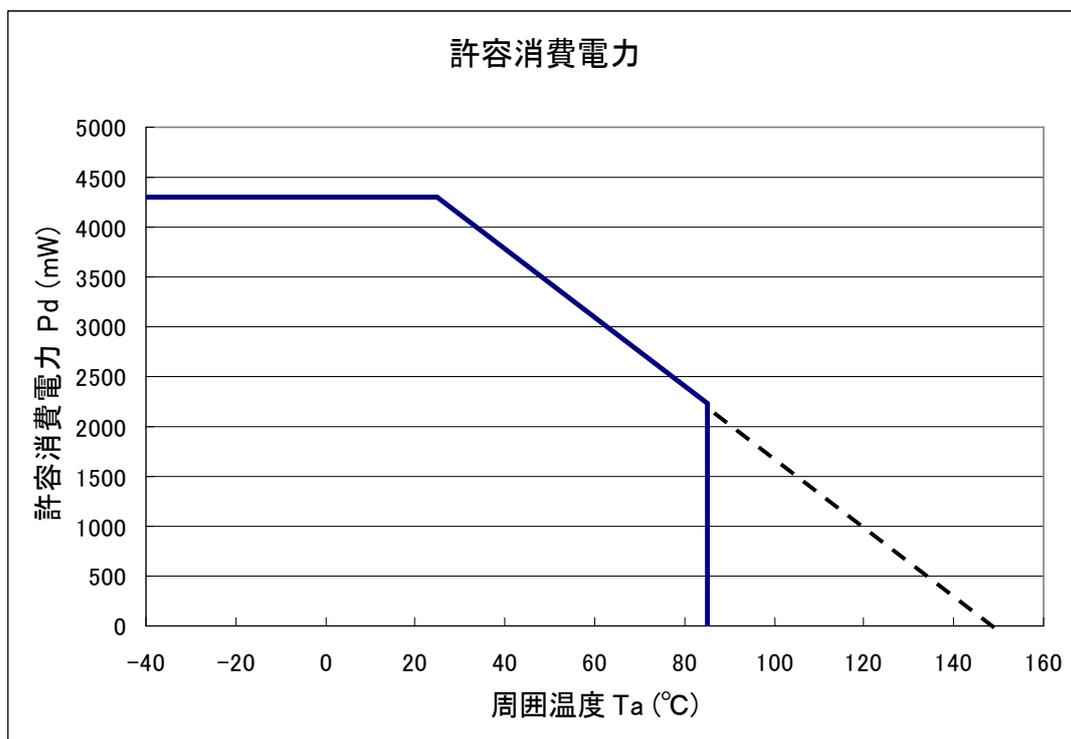
## 端子機能

ピン#	端子名	機能	機能説明
1	PC2	Ch-2エラーアンプ出力	Ch-2のエラーアンプの出力端子です。GND間にコンデンサを接続することにより位相補償を行います。
2	FB1	Ch-1エラーアンプ出力	Ch-1のエラーアンプの出力端子です。INV1との間にRとCを接続することにより位相補償を行います。
3	VREG5	5Vレギュレータ出力	制御回路に使用する5Vレギュレータの出力端子です。外部にコンデンサ(10 $\mu$ F) を接続して下さい。
4	VO2_IN	Ch-2フィードバック入力	Ch-2のフィードバック入力端子です。Ch-2はVO2_IN端子が3.3Vになるように制御されます。
5	INV1	Ch-1エラーアンプ反転入力	Ch-1エラーアンプの反転入力端子です。出力電圧固定モードの時は位相補償用の抵抗及びコンデンサを接続します。出力電圧可変モードの時は1.2Vとなるように出力-INV1端子間、及びINV1端子-GND端子間に抵抗を接続して下さい
6	VGH_OK	VGHパワーグッド出力	正電圧チャージポンプが正常起動後に Low レベルから High レベルに切り替わります。外部にプルアップ抵抗を接続し使用して下さい。
7	PG_LOGIC	ロードスイッチコントロール入力	LSW_OUT2を制御するための入力端子です。
8	VO2_OK	Ch-2パワーグッド出力	Ch-2が正常起動後にLowレベルからHighレベルに切り替わります。外部にプルアップ抵抗を接続し使用して下さい。
9	VREF	基準電圧	負電圧チャージポンプのフィードバックに使用する1.2Vの基準電圧です。安定化のため、外部にコンデンサ(0.01 $\mu$ F)を接続して下さい。
10	TEST	テストピン	製品出荷テストに使用する端子です。GNDに接続して下さい。
11	SYSUVLO	電源電圧低下検出入力	電源電圧が規定の電圧以下に低下した場合にICの動作を停止します。VCC端子-SYSUVLO端子及びSYSUVLO端子-GND間に抵抗が内蔵されています。また、外付け抵抗で入力電圧を分圧しSYSUVLO端子に印加することで検出電圧を任意の電圧に設定することも可能です。
12	PANEL_EN	パネル電源起動制御入力	Lowレベルが印加されると負電圧チャージポンプ、ロードスイッチ1、正電圧チャージポンプの動作が停止します。使用しない場合はVREG5端子に接続して下さい。
13 14	NC	NCピン	ノーコネクション(オープンとして下さい)。
15	INV_LDO	LDO反転入力	LDOの反転入力端子です。 正常に動作している場合、この端子電圧は1.2Vです。
16	SGND	シグナルグラウンド	制御回路部のグラウンドです。
17	V_LDO	LDO電源	LDO用の電源端子です。
18	NON_AMP	アンプ非反転入力	オペレーショナルアンプの非反転入力端子です。
19	INV_AMP	アンプ反転入力	オペレーショナルアンプの反転入力端子です。

ピン#	端子名	機能	機能説明
20	V_AMP	アンプ電源	オペレーショナルアンプの電源端子です。
21	OUT_AMP	アンプ出力	オペレーショナルアンプの出力端子です。
22	OUT_LDO	LDO出力	LDOの出力端子です。
23	OUT_VGL	VGLドライバー出力	負電圧チャージポンプのドライバー出力端子です。
24	V_VGL	VGL電源	負電圧チャージポンプのドライバー回路の電源端子です。
25	V_VGH	VGH電源	正電圧チャージポンプのドライバー回路の電源端子です。
26	OUT_VGH	VGHドライバー出力	正電圧チャージポンプのドライバー出力端子です。
27	PGND	パワーグラウンド	パワー素子のグラウンド端子です。
28	VGL_FB	VGLフィードバック入力	負電圧チャージポンプのフィードバック入力端子です。出力電圧固定モードの時は負電圧チャージポンプの出力に接続して下さい。出力電圧可変モードの時は0Vとなるように出力-VGL_FB端子間、及びVGL_FB端子-VREF端子間に抵抗を接続して下さい。
29	VGH_FB	VGHフィードバック入力	正電圧チャージポンプのフィードバック入力端子です。出力電圧固定モードの時は正電圧チャージポンプの出力に接続して下さい。出力電圧可変モードの時は1.2Vとなるように出力-VGH_FB端子間、及びVGH_FB端子-GND間に抵抗を接続して下さい。
30	LSW_OUT2	ロードスイッチコントロール出力2	ロードスイッチ2のゲートコントロール端子です。
31	LSW_OUT1	ロードスイッチコントロール出力1	ロードスイッチ1のゲートコントロール端子です。ソフトスタート機能を内蔵しています。
32 33	LL2	Ch-2出力	Ch-2のスイッチング出力端子です。
34	BST2	Ch-2ハイサイドドライバー電源	Ch-2のハイサイドドライバーの電源端子です。LL2端子間にコンデンサを接続して下さい。
35	PVCC	Ch-2電源	Ch-2の電源端子です。
36	VCC	制御回路電源	制御回路部の電源端子です。
37 38 39	LX1	Ch-1出力	Ch-1のスイッチング出力端子です。
40	VO1_IN	Ch-1フィードバック入力	出力電圧固定モードの時のCh-1のフィードバック入力端子です。Ch-1の出力に接続して下さい。出力電圧可変モードの時はGNDに接続して下さい。

**絶対最大定格**

項目	記号	定格値	単位
VCC, PVCC電圧	Vcc	18	V
INV1, FB1, VO2_IN, PG_LOGIC, TEST, SYSUVLO, PANEL_EN, INV_LDO, VGL_FB電圧	VL_in	6.5	V
VREG5, PC2, VGH_OK, VO2_OK, VREF, BST2-LL2間電圧	VL_out	6.5	V
NON_AMP, INV_AMP, VO1_IN電圧	VH_in1	20	V
VGH_FB電圧	VH_in2	40	V
VGL_FB電圧	VH_in3	-8	V
OUT_AMP, OUT_LDO, OUT_VGL, OUT_VGH, LSW_OUT2, LSW_OUT1電圧	VH_out1	20	V
LL2 電圧	VH_out2	18	V
BST2電圧	VH_out3	24.5	V
LX1電圧	VH_out4	25	V
V_LDO, V_AMP, V_VGL, V_VGH電圧	VH_cc	20	V
許容消費電力	Pd	4295 (Ta<25°C)	mW
ジャンクション温度	Tj	150	°C
動作温度範囲	Ta	-40 ~ +85	°C
保存温度範囲	Tstg	-55 ~ +150	°C



### 推奨動作条件

項目	Min	Typ	Max	単位
VCC, PVCC電圧	4.2	-	15	V
VGH_OK, PG_LOGIC, VO2_OK, SYSUVLO, PANEL_EN電圧	-0.1	-	5.5	V
V_LDO電圧	3.0	-	17	V
V_AMP, V_VGL, V_VGH電圧	4.2	-	17	V
NON_AMP, LSW_OUT2, LSW_OUT1電圧	-0.1	-	17	V
VREF ピン接続外部コンデンサ容量	-	0.01	-	$\mu$ F
VREG5 ピン接続外部コンデンサ容量	-	10	-	$\mu$ F

**電気的特性**(特に明記がない限り、V<sub>CC</sub>=12V、T<sub>a</sub>=25°C)

項目	記号	条件	Min	Typ	Max	単位
<b>回路全体</b>						
平均消費電流	I <sub>cc</sub>	VCC端子電流	-	5.0	-	mA
基準電圧	V <sub>ref</sub>	C <sub>vref</sub> =0.01 μF	1.188	1.200	1.212	V
基準電圧ロードレギュレーション	V <sub>ref(load)</sub>	I <sub>ref</sub> =-100 μA~-1mA	-	2	5	mV
基準電圧ラインレギュレーション	V <sub>ref(line)</sub>	I <sub>ref</sub> =-100 μA VCC=4.2~15V	-	2	8	mV
5Vレギュレータ出力電圧	V <sub>reg5(range)</sub>	I <sub>o</sub> =-1mA	-	5.0	-	V
5Vレギュレータロードレギュレーション	V <sub>reg5(load)</sub>	I <sub>o</sub> =-0.1mA~-5mA	-	-	100	mV
5Vレギュレータラインレギュレーション	V <sub>reg5(line)</sub>	I <sub>o</sub> =-1mA VCC=5.5~15V	-	-	50	mV
発振周波数	F <sub>osc</sub>		430	500	570	kHz
UVLO解除電圧	V <sub>uvlo</sub>	VCC端子電圧値	5.0	5.46	6.00	V
UVLOヒステリシス電圧	V <sub>uvlo(hys)</sub>	VCC端子電圧値	1.4	1.96	2.5	V
システムUVLO解除電圧	V <sub>sysuvlo</sub>	SYSUVLO端子電圧値	1.44	1.56	1.68	V
システムUVLOヒステリシス電圧	V <sub>sysuvlo(hys)</sub>	SYSUVLO端子電圧値	0.41	0.56	0.71	V
<b>Ch-1 Boost コンバータ部</b>						
フィードバック電圧 (出力電圧固定モード)	V <sub>o1(fix)</sub>		15.2	15.6	16.0	V
フィードバック電圧 (出力電圧可変モード)	V <sub>o1(adj)</sub>		V <sub>ref</sub> - 10m	V <sub>ref</sub>	V <sub>ref</sub> + 10m	V
出力電圧固定モード VO1_IN端子電圧レベル	V <sub>o1_in(fix)_th</sub>		4.6	-	-	V
出力電圧可変モード VO1_IN端子電圧レベル	V <sub>o1_in(adj)_th</sub>		-	-	2.7	V
出力オン抵抗	R <sub>on(ch-1)</sub>		-	100	170	mΩ
出力オフリーク電流	I <sub>leak(ch-1)</sub>		-	-	10	μA
最大デューティサイクル	D <sub>max(ch-1)</sub>	LX1 端子パルス	-	5	-	%
短絡検出スレッショルド電圧	V <sub>uvp(ch-1)</sub>	VO1出力電圧	-	85	-	%
短絡検出ラッチディレイ時間	t <sub>uvp(ch-1)</sub>		-	12.2	-	ms
過電圧検出スレッショルド電圧	V <sub>ovp(ch-1)</sub>	VO1出力電圧	-	125	-	%
過電流検出スレッショルド電流	I <sub>cs1</sub>	VCC=12V, VO1=15.6V, VO1出力電流	4.0	-	-	A
<b>Ch-2 Buck コンバータ部</b>						
フィードバック電圧	V <sub>o2</sub>		3.23	3.30	3.37	V
出力オン抵抗	R <sub>on(ch-2)</sub>		-	170	290	mΩ
出力オフリーク電流	I <sub>leak(ch-2)</sub>		-	-	10	μA
最大デューティサイクル	D <sub>max(ch-2)</sub>	LL2 端子パルス	-	88	-	%
短絡検出スレッショルド電圧	V <sub>uvp(ch-2)</sub>	VO2出力電圧	-	85	-	%
短絡検出ラッチディレイ時間	t <sub>uvp(ch-2)</sub>		-	12.2	-	ms

項目	記号	条件	Min	Typ	Max	単位
過電圧検出スレッシュホールド電圧	Vovp(ch-2)	VO2出力電圧	-	125	-	%
過電圧検出ラッチデレイ時間	Tovp(ch-2)		-	2.44	-	ms
過電流検出スレッシュホールド電流	Ics(ch-2)	VCC=12V, VO2出力電流	3.5	-	-	A
パワーグッドスレッシュホールド電圧	Vpg(ch-2)	VO2出力電圧	-	85	-	%
パワーグッド出力オン抵抗	Ipg(ch-2)	VO2_OK端子	-	0.8	1.6	k $\Omega$
パワーグッド出力リーク電流	Ipleak(ch-2)	VO2_OK=5V	-	-	2	$\mu$ A
<b>VGH 正電圧チャージポンプ部</b>						
フィードバック電圧 (出力電圧固定モード)	VGH(fix)		34.5	35.6	36.7	V
フィードバック電圧 (出力電圧可変モード)	VGH(adj)		Vref - 20m	Vref	Vref + 20m	V
ハイサイド出力オン抵抗	Ronh(VGH)	V_VGH=15V, Ioh=-50mA	-	3.5	-	$\Omega$
ローサイド出力オン抵抗	Ronl(VGH)	V_VGH=15V, Ioh=50mA	-	3.5	-	$\Omega$
デューティサイクル	Duty(VGH)		-	50	-	%
短絡検出スレッシュホールド電圧	Vuvp(VGH)	VGH出力電圧	-	85	-	%
パワーグッドスレッシュホールド電圧	Vpg(VGH)	VGH出力電圧	-	85	-	%
パワーグッド出力オン抵抗	Ipg(VGH)	VGH_OK端子	-	0.8	1.6	k $\Omega$
パワーグッド出力リーク電流	Ipleak(VGH)	VGH_OK=5V	-	-	2	$\mu$ A
<b>VGL 負電圧チャージポンプ部</b>						
フィードバック電圧 (出力電圧固定モード)	VGL(fix)		-6.19	-6.00	-5.81	V
フィードバック電圧 (出力電圧可変モード)	VGL(adj)		-20	0	20	mV
ハイサイド出力オン抵抗	Ronh(VGL)	V_VGL=15V, Ioh=-50mA	-	11	-	$\Omega$
ローサイド出力オン抵抗	Ronl(VGL)	V_VGL=15V, Ioh=50mA	-	5	-	$\Omega$
デューティサイクル	Duty(VGL)		-	80	-	%
短絡検出スレッシュホールド電圧	Vuvp(VGL)	VGL出力電圧	-	82	-	%
VGL起動制御入力スレッシュ ホールド電圧スレッシュホールド電圧	PANEL_EN (th)	PANEL_EN電圧	0.88	1.0	1.12	V
<b>LDO 部</b>						
フィードバック電圧	Vldo		Vref - 20m	Vref	Vref + 20m	V
ロードレギュレーション	Vldo(load)	V_LDO=15.6V OUT_LDO=15.2V Ildo=-0.1m~-20mA	-	-	45	mV
最大出力電流	Ildo(max)	V_LDO=15.6V OUT_LDO=15.2V	250	-	-	mA
ドロップアウト電圧	Vdrop(ldo)	V_LDO=15.6V INV_LDO=0V Ildo=-10mA	-	-	0.15	V

項目	記号	条件	Min	Typ	Max	単位
<b>オペレーショナルアンプ部</b>						
入力オフセット電圧	Vamp(off)		-13	10	34	mV
ロードレギュレーション	Vamp(load)	Iamp=0~+/-5mA	-50	-	50	mV
ラインレギュレーション	Vamp(line)	V_AMP=9V-17V OUT_AMP=6V	-	-	50	mV
同相入力電圧範囲	Vamp (range)		3	-	V_AMP - 0.5	V
出力ソース最大電流	Iamph(max)	V_AMP =12V OUT_AMP =6V 0.5V 出力低下	100	180	-	mA
出力シンク最大電流	Iampl(max)	V_AMP =12V OUT_AMP =6V 0.5V 出力上昇	-	-180	-100	mA
入力バイアス電流	lib(amp)		-	-	200	nA
<b>スイッチコントロール1部</b>						
ソフトスタート時間	tss(lsw_out1)		-	10	-	ms
出力抵抗	Ro(lsw_out1)	Io=1mA	-	1.2	-	kΩ
出力オフリーク電流	Ileak		-	-	1	μA
<b>スイッチコントロール2部</b>						
入力スレッショルド電圧	V(pg_logic)		0.6	-	1.1	V
出力抵抗	Ro(lsw_out2)	Io=1mA	-	1.2	-	kΩ
出力オフリーク電流	Ileak		-	-	1	μA

### 機能説明

● システム UVLO

入力電圧が低い状態での誤作動を防止する為 UVLO (アンダーボルテージロックアウト) 回路を内蔵しています。内部設定での検出電圧は 3.5V、解除電圧は 5.46V です。入力電圧 (Vin) が UVLO 解除電圧 (5.46V) に達するとソフトスタートを始め、出力電圧 Vo は徐々に正規の電圧まで上昇します。入力電圧 (Vin) が 3.5V まで低下すると UVLO が動作開始し、即座にスイッチング動作停止及びソフトスタートのディスチャージを行います。スイッチング動作停止に伴い、出力電圧 (Vo) は低下します (図 1 参照)。

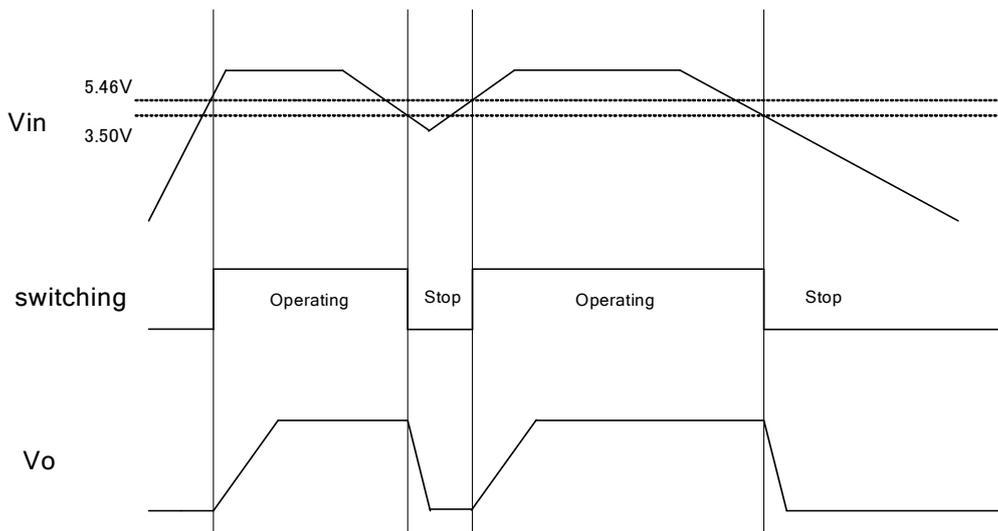


図 1. システム UVLO 機能例

また外部抵抗で Vin を分圧し SYSUVLO 端子に印加することによってもシステム UVLO 検出電圧を任意の電圧に設定することも可能です (図 2 参照)。システム UVLO の電圧設定は以下の式で与えられます。尚、外付け抵抗は内部抵抗より十分小さな値を使用して下さい。

$$\text{システムUVLO解除電圧} = 1.56 \times \frac{R1 + R2}{R2}$$

$$\text{システムUVLO検出電圧 (動作下限電圧)} = 1.0 \times \frac{R1 + R2}{R2}$$

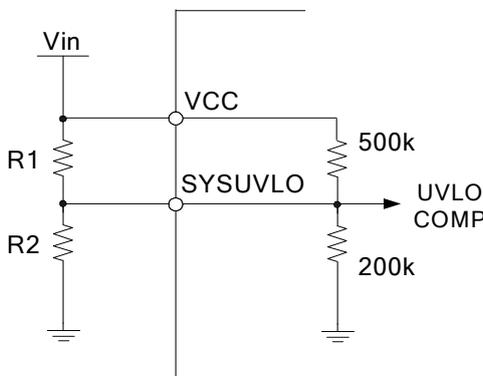


図 2. システム UVLO 設定回路

- **基準電圧回路**

基準電圧回路は、温度補償された基準電圧(1.2V)を発生し、IC 内部回路の基準電圧として使用されています。また、基準電圧は VREF 端子より最大 1mA まで外部に取り出せます。安定化のため VREF 端子と SGND 間にコンデンサ(0.01  $\mu$ F)を接続して下さい。

- **VREG5**

内蔵 5V ローカルレギュレータです。安定化のため VREG5 端子と SGND 間にコンデンサ(10  $\mu$ F)を接続して下さい。

- **発振回路**

発振周波数は内部固定で 500kHz です。

- **サーマルシャットダウン(TSD)**

熱による破壊を防ぐため、サーマルシャットダウン回路を内蔵しています。ジャンクション温度が 175°Cに達するとサーマルシャットダウン回路が動作し、スイッチング及びレギュレータ VREG5 の動作を停止します。解除温度は 160°C です。

- **DC/DC コンバータ CH-1, CH-2**

CH-1, CH-2 は PWM 制御方式です。CH-1 は Boost タイプ、CH-2 は Buck タイプで 3.3V 固定です。Power MOSFET と過電流検出回路を内蔵しています。Max Duty 時には CH-1 の LX1 端子のデューティが 8.3%、CH-2 の LL2 端子が 88%となります。

- **チャージポンプ回路 VGH, VGL**

VGH および VGL はそれぞれ正負のチャージポンプ回路です。デューティサイクルは VGH が 50%、VGL が 80% と固定です。

- **VO2\_OK, VGH\_OK 端子**

プルダウントランジスタのオープンドレイン出力です。パワー On 時にはトランジスタが On しており、端子電圧はグラウンドレベルになっています。VO2\_OK は CH-2 が VGH\_OK は VGH がそれぞれ動作開始し、正規電圧の 85%に達した時にプルダウントランジスタが Off となります。

- **ロードスイッチコントロール**

LSW\_OUT1 端子は VGL が正常起動後に外部 Pch MOSFET ロードスイッチをコントロールします。ソフトスタート機能を内蔵しています。

LSW\_OUT2 端子はオープンドレイン出力で PG\_LOGIC 端子の High 入力をうけてプルダウントランジスタが Off となります。外部 Nch MOSFET ロードスイッチの制御やレベルシフトに使用可能です。

- **オペレーショナルアンプ**

Vcom 及び Half AVDD 等に使用可能です。出力電流が必要な場合は、外付けのバイポーラトランジスタを使用して下さい。

- **LDO**

LDO は復帰型電流制限機能を内蔵しております。負荷電流は 250mA 以内でご使用下さい。出力電圧は外付け抵抗によって設定します(出力電圧設定の項参照)。

● ソフトスタート回路

スタートアップ時の出力電圧のオーバーシュート発生及び入力突入電流を防ぐため、出力電圧を緩やかに上昇させる機能です。ソフトスタート機能は CH-1、CH-2 及びロードスイッチ 1 回路に内蔵しています。各内部ソフトスタート回路の出力電圧は、それぞれの起動シーケンスに準じて上昇し、それに伴い各 DC/DC コンバータ及びロードスイッチ後段の出力電圧が上昇します。ソフトスタートはそれぞれ規定の出力電圧に達した時点で終了します。ソフトスタート時間は CH-1、CH-2、ロードスイッチ 1 共に 10msec です(図 3 参照)。

● 起動シーケンス

図 3 に起動シーケンス波形を示します。CH-1、CH-2 が正常に起動した後にスイッチングを開始します。VGL は CH-1 出力 VO1 が正常起動後かつ PANEL\_EN 端子が High で立ち上がります。VGH はロードスイッチ 1 起動後、5msec 後に立ち上がります。オープンドレイン端子 VO2\_OK、VGH\_OK はそれぞれ CH-2、VGH が正常起動後に起動します。

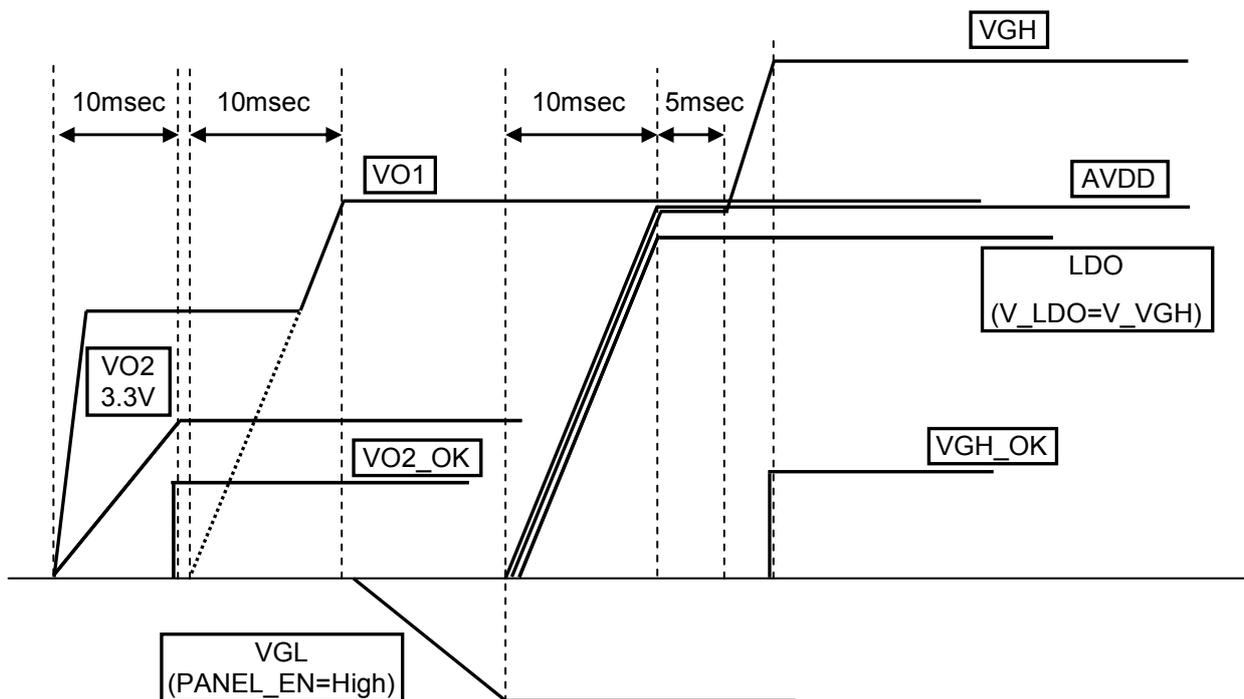


図 3. 起動シーケンス波形

● PANEL\_EN 端子

IC 起動時にて VGL は CH-1 出力 VO1 が正常起動後かつ PANEL\_EN 端子が High で立ち上がります。PANEL\_EN 端子に Low レベルが印加されると VGL、ロードスイッチ 1、VGH の動作が停止します。再度 High 印加で VGL 以降が再起動します。

使用しない場合は VREG5 端子に接続して下さい。

● 低電圧保護回路 (UVP)

負荷短絡等によってDC/DC 及びVGH, VGL 出力電圧の低下が一定時間以上続いた場合、出力を停止する保護機能です。内部のコンパレータが出力電圧を監視し、一定の電圧より低下するとタイマーラッチ回路が動作し始めます(図 4 参照)。出力異常が 12.2msec 続くとスイッチング動作を止めラッチ状態になります。ラッチに至る前に UVLO が動作した場合、タイマーはリセットされます。

VGH, VGL はシーケンス起動直後の 3msec は UVP 検出はしません。起動不良を防ぐためにチャージポンプの立ち上がり時間は 15msec 以内におさまるようご使用下さい。

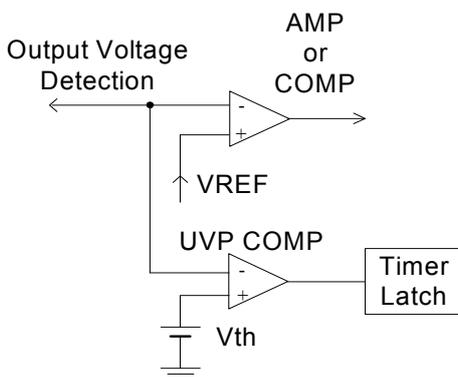


図 4. 低電圧検出回路

● 過電圧保護回路 (OVP)

CH-1, CH-2 の出力電圧がある一定電圧を超えた場合、出力を停止する保護機能です。CH-1 は INV1 端子電圧が 1.5V、CH-2 は VO2\_IN 端子電圧が 4.13V をそれぞれ超えた場合、スイッチング動作を停止させます(図 5 参照)。また、CH-2 は出力異常を検知するとタイマーラッチ回路が動作し、出力異常が 2.44msec 続くとラッチ状態になります。

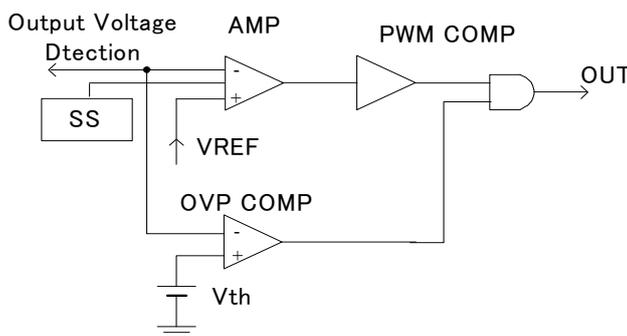


図 5. 過電圧検出回路

● 過電流保護回路 (OCP)

CH-1, CH-2 は過電流保護回路を内蔵しています。一定以上の負荷電流が流れた場合はスイッチングを停止させます。CH-1 は 4.0A 以上、CH-2 は 3.5A 以上で保護回路が動作します。

過電流が検出され続けると、低デューティのスイッチングパルスが出力されるため出力電圧が低下します。出力電圧が一定の電圧を 12.2msec 以上下回ると UVP が動作し IC はラッチ状態になります。

● スイッチングチャンネル出力電圧モード

VO1\_IN 端子の設定によりスイッチングチャンネルの出力電圧固定モードと出力電圧可変モードの選択が可能です。CH-1 の出力を直接 VO1\_IN 端子に接続すると出力電圧固定モードになり、CH-1 は 15.6V、VGH は 35.6V そして VGL は-6V 固定となります。VGH、VGL はそれぞれ出力を VGH\_FB 端子と VGL\_FB 端子に接続してください。

VO1\_IN 端子をグラウンドに接続すると出力電圧可変モードになり CH-1、VGH、VGL の出力電圧は外付け抵抗により設定可能になります。CH-2 はいずれのモードでも 3.3V 固定です。

● 出力電圧設定 (出力電圧可変モード)

CH-1 の場合はフィードバックの働きにより、INV1 の電圧は VREF 電圧に等しくなります (図 6 参照)。また、INV1 の電圧は、Vout1 を R1 と R2 で分圧したものです。

従って

$$Vout1 \times \frac{R2}{R1 + R2} = VREF$$

よって

$$Vout1 = VREF \times \left(1 + \frac{R1}{R2}\right) = 1.2 \times \left(1 + \frac{R1}{R2}\right)$$

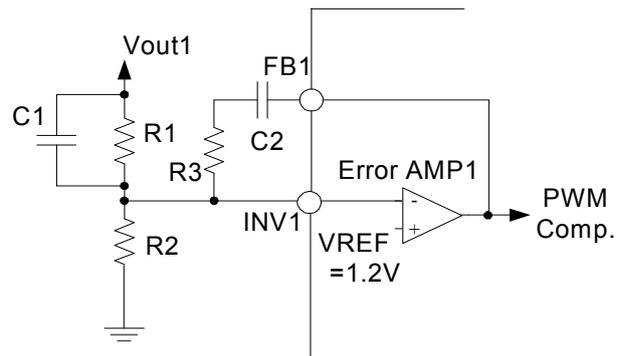


図 6. CH-1 出力電圧の設定

VGH については VGH\_FB の電圧は VREF 電圧に等しくなるよう制御されます (図 7 参照)。また、INV\_VGH の電圧は、VGH を R4 と R5 で分圧したものです。

よって

$$VGH = VREF \times \left(1 + \frac{R4}{R5}\right) = 1.2 \times \left(1 + \frac{R4}{R5}\right)$$

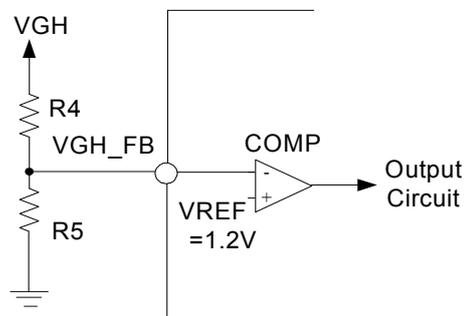


図 7. VGH 出力電圧の設定

VGL については VGL\_FB の電圧はゼロに等しくなるよう制御されます(図 8 参照)。また、VGL\_FB に流れる電流は無視できます。

よって

$$VGL = -(VREF) \times \frac{R6}{R7} = -1.2 \times \frac{R6}{R7}$$

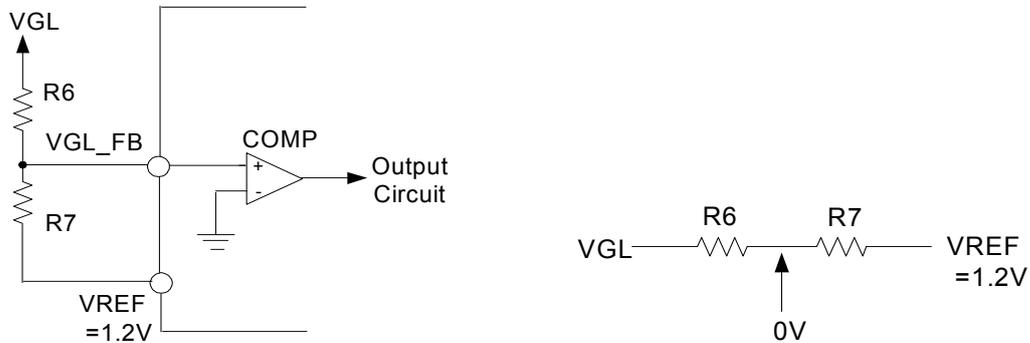


図 8. VGL 出力電圧の設定

● 出力電圧設定 (出力電圧固定モード)

CH-1 の出力を直接 VO1\_IN 端子に接続すると出力電圧固定モードになります。VGH の出力は VGH\_FB 端子に VGL の出力は VGL\_FB に直接接続して下さい。CH-1 は 15.6V、VGH は 35.6V そして VGL は -6V 固定となります。

CH-1 は位相補償用に VO1\_IN 端子-INV1 端子間にコンデンサと INV1 端子-FB1 端子間に抵抗及びコンデンサを接続して下さい(図 9 参照)。

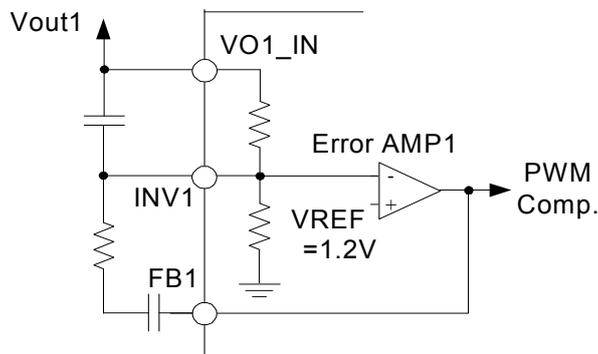


図 9. 出力電圧固定モード時の CH-1 回路

**● 出力電圧設定 (LDO)**

LDO の場合はフィードバックの働きにより、INV\_LDO の電圧は VREF 電圧に等しくなります (図 10 参照)。また、INV\_LDO の電圧は、OUT\_LDO を R8 と R9 で分圧したものです。

従って

$$\text{OUT\_LDO} = 1.2 \times \left( 1 + \frac{\text{R8}}{\text{R9}} \right)$$

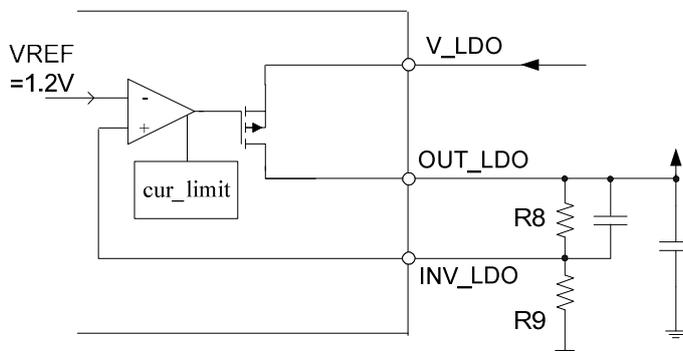
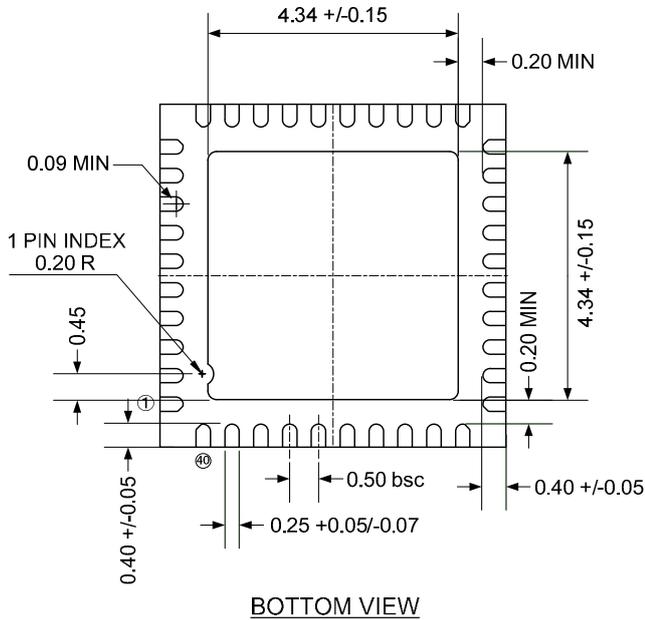
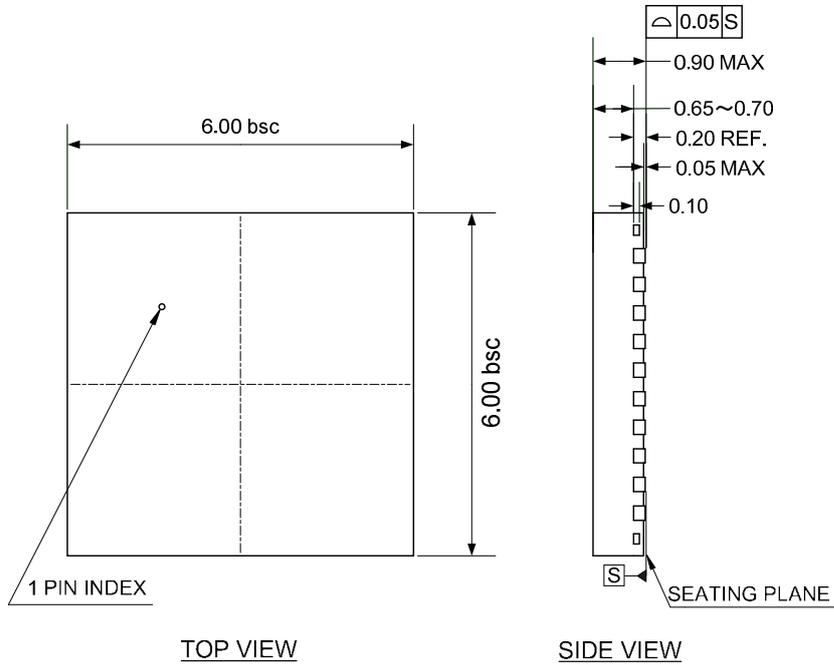


図 10. LDO 回路

パッケージ外形寸法図

QFN 40-pin



Unit:mm

裏面 Exposed Pad は熱特性改善のため  
GND と接続して下さい。

## 諸注意とお願い

1. 本資料に記載された製品の仕様は、予告無く変更する場合がございます。
2. 本資料に記載された回路図は、あくまでも応用例として掲載されております。従って、お客様の設計におかれましては十分な注意をお願い致します。また、文中の誤りにつきましてもその責を負いかねます。誤りが発見されましても、直ちに修正できない場合がございますので、ご了承ください。
3. 本資料には、弊社の著作権、ノウハウ等が含まれておりますので弊社にことわりなく、複製、又は第三者に公開しないようお願い申し上げます。
4. この製品を使用したことにより、第三者の工業所有権に係る問題が発生した場合、弊社製品の構造製法及び機能に直接係る物以外につきましては、その責を負いかねますのでご了承ください。
5. 本製品は一般的な電子機器に使用することを前提としております。従って極めて高い信頼性を要求される用途(人命に直接係る医療機器、宇宙機器、原子力制御機器など)には、使用しないでください。又、これ以外でも輸送機器の制御と安全性に関する装置、交通信号、各種安全装置等にご使用の際には、適切な措置を講じたくらうでご利用ください。
6. 弊社は製品の品質及び信頼性の向上について最大限の努力をばらっておりますが、半導体製品はわずかながらある確率をもって故障が発生いたします。弊社製品の故障により、社会的、公的な損害等を引き起こすことの無いように、十分な冗長設計、誤動作防止設計等を行ってください。
7. 本製品は、耐放射線設計は行われておりませんので、ご注意願います。
8. 本製品が、外国為替及び外国貿易管理法の規定により戦略物資等に該当するか否かは、お客様におかれまして判断をお願い致します。
9. 本製品は端子間が異物の混入等によりショートされた場合、絶対最大定格を超える電圧の印加、または誤作動により半導体製品もしくは周辺部品が破壊する可能性があります。破壊により発煙、発火の恐れがありますので、ヒューズ等、保護部品による安全対策を施すようお願い致します。

*THine Electronics, Inc.*

E-mail: [sales@thine.co.jp](mailto:sales@thine.co.jp)